

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
17 février 2000 (17.02.2000)

PCT

(10) Numéro de publication internationale
WO 00/08246 A3

(51) Classification internationale des brevets⁷ : **D04H 3/12**,
13/00, B32B 5/26, D04H 1/60, 1/64

Michel [FR/FR]: 7, rue de l'Hélios, F-73490 La Ravoire
(FR).

(21) Numéro de la demande internationale :
PCT/FR99/01874

(74) Mandataires : **GOLDENBERG, Virginie** etc.;
Saint-Gobain Recherche, 39, quai Lucien Lefranc,
F-93300 Aubervilliers (FR).

(22) Date de dépôt international : 29 juillet 1999 (29.07.1999)

(25) Langue de dépôt : français

(81) États désignés (*national*) : AU, BR, CA, CZ, IN, JP, KR,
TR, US, ZA.

(26) Langue de publication : français

(30) Données relatives à la priorité :
98/09894 3 août 1998 (03.08.1998) FR

(84) États désignés (*régional*) : brevet européen (AT, BE, CH,
CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT,
SE).

(71) Déposant (*pour tous les États désignés sauf US*) :
VETROTEX FRANCE [FR/FR]; 130, avenue des Follaz,
F-73000 Chambéry (FR).

Publiée :
— avec rapport de recherche internationale

(72) Inventeur; et

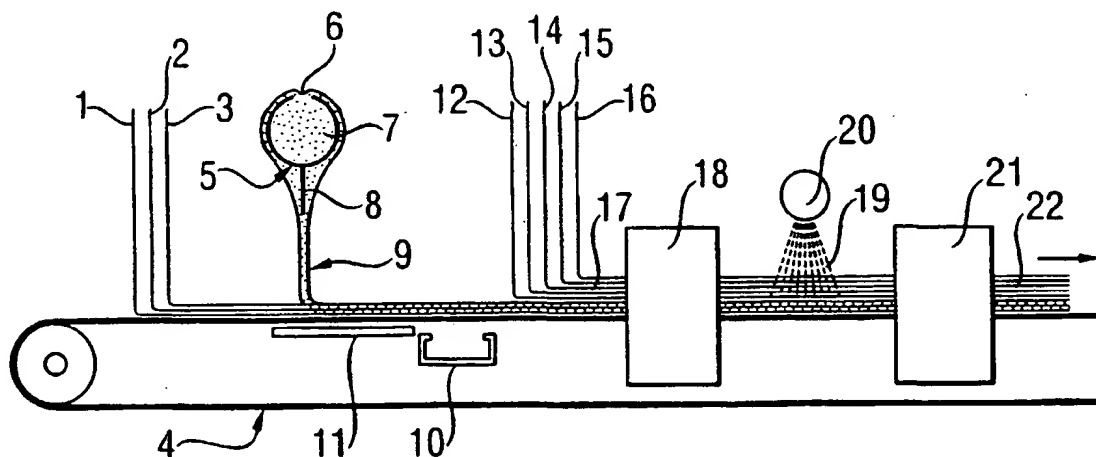
(88) Date de publication du rapport de recherche
internationale: 28 février 2002

(75) Inventeur/Déposant (*pour US seulement*) : **DROUX,**

[Suite sur la page suivante]

(54) Title: METHOD FOR MAKING A MAT AND RESULTING PRODUCTS

(54) Titre : PROCÉDE DE FABRICATION D'UN MAT ET PRODUITS OBTENUS



(57) Abstract: The invention concerns a method for making a mat which consists in: depositing on at least a moving conveyor at least a first layer or series of layers of fibre(s) formed with filaments and at least a second layer or series of layers of fibre(s) formed with filaments. The invention is characterised in that it consists in opening at least part of the fibre(s) of the first layer or series of layers before stacking the first layer or series of layers and the second layer or series of layers. The invention also concerns a device for implementing said method and the resulting mats.

(57) Abrégé : La présente invention concerne un procédé de fabrication d'un mat selon lequel on dépose sur au moins un convoyeur en mouvement au moins une première couche ou série de couches de fil(s) formé(s) de filaments et au moins une deuxième couche ou série de couches de fil(s) formé(s) de filaments et caractérisé en ce que l'on ouvre au moins une partie du (des) fil(s) de la première couche ou série de couches avant superposition de la première couche ou série de couches et de la deuxième couche ou série de couches. La présente invention concerne également un dispositif de mise en oeuvre du procédé et les mats obtenus.

WO 00/08246 A3



En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PL./FR 99/01874

Patent document Cited in search report	Publication date	Patent family members)	Publication date
JP 05220855 A	31-08-1993	NONE	
US 3936558 A	03-02-1976	US 3969171 A	13-07-1976
WO 9721861 A	19-06-1997	FR 2742172 A	13-06-1997
		CA 2212921 A	19-06-1997
		CZ 9702488 A	17-12-1997
		EP 0819189 A	21-01-1998
		JP 11500795 T	19-01-1999
		NO 973682 A	10-09-1997
		PL 321732 A	22-12-1997
		SK 107497 A	04-03-1998
US 5565049 A	15-10-1996	CA 2102361 A	24-01-1995
US 4692375 A	08-09-1987	US 4615717 A	07-10-1986
		CA 1252032 A,C	04-04-1989
		EP 0217241 A	08-04-1987
		JP 1612163 C	30-07-1991
		JP 2036708 B	20-08-1990
		JP 62078248 A	10-04-1987
		JP 1690495 C	27-08-1992
		JP 2196637 A	03-08-1990
		JP 3056904 B	29-08-1991
US 4404717 A	20-09-1983	BE 888203 A	30-09-1981
		CA 1154239 A	27-09-1983
		CH 644649 A	15-08-1984
		DE 3135247 A	24-06-1982
		FR 2502199 A	24-09-1982
		GB 2089382 A,B	23-06-1982
		IT 1143477 B	22-10-1986
		JP 1256996 C	29-03-1985
		JP 57101051 A	23-06-1982
		JP 59032582 B	09-08-1984
		NL 8101642 A,B,	01-07-1982
US 3745060 A	10-07-1973	AT 304790 B	15-12-1972
		BE 715018 A	12-11-1968
		CA 935998 A	30-10-1973
		CH 474457 A	30-06-1969
		DE 1759511 A	17-02-1972
		DE 1796360 A	30-12-1976
		DK 141114 B	21-01-1980
		ES 353764 A	16-10-1969
		FI 62526 B	30-09-1982
		FR 92327 E	
		FR 94276 E	25-07-1969
		FR 1531488 A	03-12-1968
		GB 1234075 A	03-06-1971
		IE 31906 B	07-02-1973
		IL 29970 A	26-07-1972
		JP 52042830 B	26-10-1977
		LU 56055 A	10-02-1969
		NL 6806555 A	12-11-1968
		SE 341155 B	13-12-1971
		US 3830638 A	20-08-1974
		US 3616030 A	26-10-1971

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PL./FR 99/01874

Patent document Cited in search report	Publication date	Patent family members)	Publication date
US 3745060 A		YU 100368 A	31-12-1979
		NL 6806626 A	13-11-1968
		NL 6808899 A,B,	21-10-1969
<hr/>			

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Assistant Commissioner for Patents
 United States Patent and Trademark
 Office
 Box PCT
 Washington, D.C. 20231
 ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

Date of mailing (day/month/year)

03 April 2000 (03.04.00)

International application No.

PCT/DE99/02077

Applicant's or agent's file reference

98 P2215P

International filing date (day/month/year)

06 July 1999 (06.07.99)

Priority date (day/month/year)

31 July 1998 (31.07.98)

Applicant

HAAS, Peter

1. The designated Office is hereby notified of its election made:



in the demand filed with the International Preliminary Examining Authority on:

10 February 2000 (10.02.00)



in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO
 34, chemin des Colombettes
 1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer

R. Forax

Telephone No.: (41-22) 338.83.38

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT
AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER RECHERCHENBERICHT

(Artikel 18 sowie Regeln 43 und 44 PCT)

Aktenzeichen des Anmelders oder Anwalts 98 P2215P	WEITERES VORGEHEN siehe Mitteilung über die Übermittlung des internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5	
Internationales Aktenzeichen PCT/DE 99/ 02077	Internationales Anmeldedatum (Tag/Monat/Jahr) 06/07/1999	(Frühestes) Prioritätsdatum (Tag/Monat/Jahr) 31/07/1998
Anmelder SIEMENS AKTIENGESELLSCHAFT et al.		

Dieser internationale Recherchenbericht wurde von der Internationalen Recherchenbehörde erstellt und wird dem Anmelder gemäß Artikel 18 übermittelt. Eine Kopie wird dem Internationalen Büro übermittelt.

Dieser internationale Recherchenbericht umfaßt insgesamt 2 Blätter.

☒ Darüber hinaus liegt ihm jeweils eine Kopie der in diesem Bericht genannten Unterlagen zum Stand der Technik bei.

1. Grundlage des Berichts

a. Hinsichtlich der **Sprache** ist die internationale Recherche auf der Grundlage der internationalen Anmeldung in der Sprache durchgeführt worden, in der sie eingereicht wurde, sofern unter diesem Punkt nichts anderes angegeben ist.

☐ Die internationale Recherche ist auf der Grundlage einer bei der Behörde eingereichten Übersetzung der internationalen Anmeldung (Regel 23.1 b)) durchgeführt worden.

b. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale Recherche auf der Grundlage des Sequenzprotokolls durchgeführt worden, das

☐ in der internationalen Anmeldung in Schriftlicher Form enthalten ist.

☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.

☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.

☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.

☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.

☐ Die Erklärung, daß die in computerlesbarer Form erfaßten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

2. ☐ Bestimmte Ansprüche haben sich als nicht recherchierbar erwiesen (siehe Feld I).

3. ☐ Mangelnde Einheitlichkeit der Erfindung (siehe Feld II).

4. Hinsichtlich der Bezeichnung der Erfindung

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut von der Behörde wie folgt festgesetzt:

5. Hinsichtlich der Zusammenfassung

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut nach Regel 38.2b) in der in Feld III angegebenen Fassung von der Behörde festgesetzt. Der Anmelder kann der Behörde innerhalb eines Monats nach dem Datum der Absendung dieses internationalen Recherchenberichts eine Stellungnahme vorlegen.

6. Folgende Abbildung der **Zeichnungen** ist mit der Zusammenfassung zu veröffentlichen: Abb. Nr. 3

☒ wie vom Anmelder vorgeschlagen

☐ keine der Abb.

☐ weil der Anmelder selbst keine Abbildung vorgeschlagen hat.

☐ weil diese Abbildung die Erfindung besser kennzeichnet.

(51) Internationale Patentklassifikation⁷:

H04J 3/16, H04L 12/56

A1

(11) Internationale Veröffentlichungsnummer: WO 00/08786

(43) Internationales

Veröffentlichungsdatum:

17. Februar 2000 (17.02.00)

(21) Internationales Aktenzeichen: PCT/DE99/02077

(22) Internationales Anmeldedatum: 6. Juli 1999 (06.07.99)

(30) Prioritätsdaten:

198 34 630.1

31. Juli 1998 (31.07.98)

DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS
AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2,
D-80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HAAS, Peter [DE/DE];
Dr.-Hartlaub-Ring 25/V, D-85570 Markt Schwaben (DE).(74) Gemeinsamer Vertreter: SIEMENS AKTIENGE-
SELLSCHAFT; Postfach 22 16 34, D-80506 München
(DE).(81) Bestimmungsstaaten: CA, JP, US, europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU,
MC, NL, PT, SE).

Veröffentlicht

Mit internationalem Recherchenbericht.

Vor Ablauf der für Änderungen der Ansprüche zugelassenen
Frist; Veröffentlichung wird wiederholt falls Änderungen
eintreffen.(54) Title: CIRCUIT AND METHOD FOR RECEIVING AND TRANSMITTING DATA

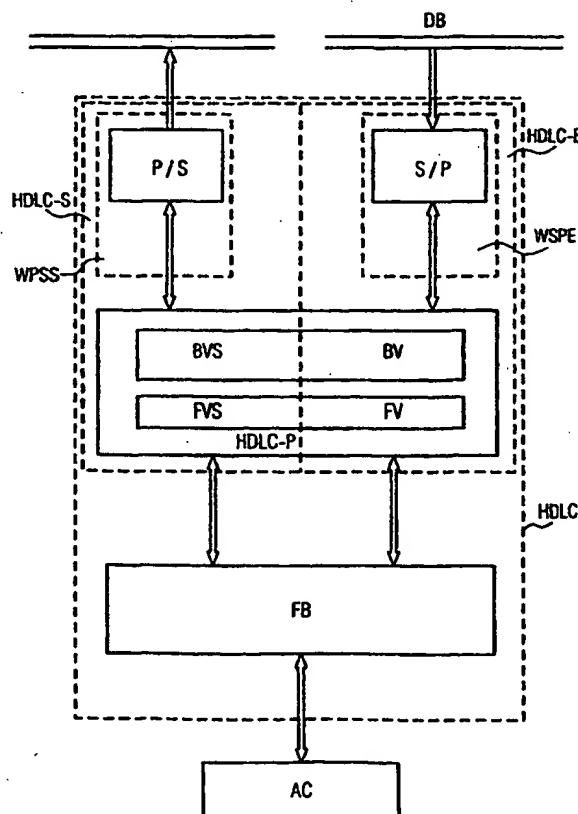
(54) Bezeichnung: SCHALTUNGSANORDNUNG UND VERFAHREN ZUM EMPFANGEN UND SENDEN VON DATEN

(57) Abstract

The inventive circuit and corresponding method temporarily store all of the status parameters allocated to one time slot in a transmission frame, hereby allowing adjustment to a current time slot.

(57) Zusammenfassung

Mit dieser Schaltungsanordnung und dem dazugehörigen Verfahren ist es aufgrund einer Zwischenspeicherung aller einen Zeitschlitz in einem Übertragungsrahmen zugeordneter Zustandsparameter möglich, sich auf einen aktuellen Zeitschlitz einzustellen.



PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Technology Center 2600

RECEIVED

MAY 04 2001

Applicant's or agent's file reference

GR 98 P2215P

FOR FURTHER ACTION

See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)

International application No.

PCT/DE99/02077

International filing date (day/month/year)

06 July 1999 (06.07.99)

Priority date (day/month/year)

31 July 1998 (31.07.98)

International Patent Classification (IPC) or national classification and IPC

H04J 3/16

Applicant

SIEMENS AKTIENGESELLSCHAFT

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 7 sheets, including this cover sheet.



This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 7 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☒ Certain defects in the international application
- VIII ☒ Certain observations on the international application

Date of submission of the demand

10 February 2000 (10.02.00)

Date of completion of this report

02 November 2000 (02.11.2000)

Name and mailing address of the IPEA/EP

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/DE99/02077

I. Basis of the report

1. This report has been drawn on the basis of *(Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to the report since they do not contain amendments.)*:

- ☐ the international application as originally filed.
- ☒ the description, pages 2-8, as originally filed,
 pages _____, filed with the demand,
 pages 1, 1a, filed with the letter of 21 August 2000 (21.08.2000),
 pages _____, filed with the letter of _____.
- ☒ the claims, Nos. 3-5, as originally filed,
 Nos. _____, as amended under Article 19,
 Nos. _____, filed with the demand,
 Nos. 1, 2, 6, 7, filed with the letter of 21 August 2000 (21.08.2000),
 Nos. _____, filed with the letter of _____.
- ☒ the drawings, sheets/fig 1/5-3/5, as originally filed,
 sheets/fig _____, filed with the demand,
 sheets/fig 4/5, 5/5, filed with the letter of 21 August 2000 (21.08.2000),
 sheets/fig _____, filed with the letter of _____.

2. The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

3. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).

4. Additional observations, if necessary:

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/DE 99/02077

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-7	YES
	Claims		NO
Inventive step (IS)	Claims		YES
	Claims	1-7	NO
Industrial applicability (IA)	Claims	1-7	YES
	Claims		NO

2. Citations and explanations

The arrangement according to Claim 1 is obvious from US-A-5 619 500 (D1) and US-A-5 029 163 (D2). D1 describes an HDLC controller for framing a plurality of channels. The known controller has, like the present Claim 1, the following features:

(a) reception of data which are allocated to a time slot within the transmission frame (ATM: see abstract and column 1, lines 5-10);

(b) reading out of data from a current time slot (this is implicitly stated in column 12, lines 1-10, since data can be stored only if they were previously read out from the time slot);

(c) temporary storage of the read-out data in a memory (803) (see column 12, lines 1-10);

(d) provision of the current status parameters (column 12, lines 14-21);

(e) temporary storage of status parameters of a subsequent time slot in a first storage unit (801) (see column 12, lines 10-18);

(f) a second memory (802) for storing status parameters from the first storage unit (801) when changing the time slots (see column 12, lines 20-29);

(g) provision of the status parameters to be temporarily stored in the first storage unit (see column 12, lines 24-

29);

(h) allocation of the data from a current time slot temporarily stored in the first storage unit to a third storage unit (804) (see column 12, lines 20-25).

The difference between the claimed arrangement and that known from D1 is that, in D1 does not describe different time slot widths on the same transmission path and makes no explicit mention either of an allocation unit for managing the second storage unit or of a third processing unit for creating data words from the data stored in the third storage unit. The managing of a storage unit is necessary, and whether the allocation unit or something similar is selected is only a question of implementation and belongs to the general knowledge of a person skilled in the art. Furthermore, the fact that the arrangement is divided into three different processing units is purely a question of implementation. The objective problem addressed by the invention is therefore that of configuring an interface between two data networks so that various communications can use different time slot widths on the same transmission path for higher transmission flexibility. The use of different time slot widths on the same transmission path or, more accurately stated, the use of a larger or smaller number of time slots within a transmission frame (page 3, lines 1-19 and Figure 2 of the present application) is known from D2 (Claim 1, lines 9-20; Figure 4; column 4, lines 22-41). Since D1 and D2 produce interfaces between different networks, it is obvious for a person skilled in the art to study D2 in order to improve the transmission flexibility of the system in D1.

The arrangement according to Claim 1 therefore does not involve an inventive step (PCT Article 33(3)) (see also

Box VII).

This objection also applies accordingly to Claim 6, which is directed to a corresponding method for receiving data.

The arrangement according to Claim 2 is obvious from D1 and D2. D1 describes an HDLC controller for framing a plurality of channels. The known controller has, like the present Claim 2, the following features:

- (a) transmission of data which are allocated to a time slot within a transmission frame (ATM: see abstract and column 1, lines 5-10);
- (b) reading in of data into a current time slot (see column 13, lines 60-61);
- (c) provision of the current status parameters (column 13, lines 6-12);
- (d) temporary storage of status parameters of a subsequent time slot (see column 12, lines 52-53);
- (e) a second storage unit (802) for storing status parameters from the first storage unit (801) when changing the time slots (see column 12, line 56);
- (f) provision of status parameters to be temporarily stored (this is implicitly stated in column 13, since the status parameters can be used only if they have been provided).
- (g) allocation of the data temporarily stored in a third storage unit (804) to a memory for transmitting data (903) (see column 12, line 61 to column 13, line 12).

The difference between the claimed arrangement and the arrangement known from D1 is that D1 does not describe different time slot widths on the same transmission path and makes no explicit mention either of an allocation unit for managing the second storage unit or of a third processing unit for allocating and storing data belonging

to time slots. The managing of a storage unit is necessary, and whether the allocation unit or something similar is selected is only a question of implementation and belongs to the general knowledge of a person skilled in the art. Furthermore, the fact that the arrangement is divided into three different processing units is purely a question of implementation. The objective problem addressed by the invention is therefore that of configuring an interface between two data networks so that various communications can use different time slot widths on the same transmission path for higher transmission flexibility. The use of different time slot widths on the same transmission path or, more accurately stated, the use of a larger or smaller number of time slots within a transmission frame (page 3, lines 1-19 and Figure 2 of the present application,) is known from D2. Since D1 and D2 produce interfaces between different networks, it is obvious for a person skilled in the art to study D2 in order to improve the transmission flexibility of the system in D1.

The arrangement according to Claim 2 therefore does not involve an inventive step (PCT Article 33(3)).

This objection also applies accordingly to Claim 7, which is directed to a corresponding method for transmitting data.

The features according to Claims 3 (first and second register) and 4 (a shift register) are only simple measures of implementation and do not go beyond the normal competence of a person skilled in the art.

The feature according to Claim 5 (HDLC) is known from D1 (see column 2, lines 22-34).

VII. Certain defects in the international application

The following defects in the form or contents of the international application have been noted:

D2 represents relevant prior art and should therefore be cited in the description and its content should be briefly outlined (PCT Rule 5.1(a)(ii)).

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/DE 99/02077

VIII. Certain observations on the international application

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

Claim 1 does not meet the requirement of PCT Article 6.
The term "a time slot (TSn)" in line 13 is vague. It would be better to use "a current time slot" instead of "a time slot".

Beschreibung

Schaltungsanordnung und Verfahren zum Empfangen und Senden von Daten

5

In Kommunikationssystemen, insbesondere Vermittlungsanlagen werden High-Level-Data-Link-Controller zur Datenübertragung bei Netzübergangsstellen verwendet. Diese HDLC-Controller sind an Netzübergangsstellen wie beispielsweise zwischen
10 einem Netz mit einer synchronen Datenübertragung und einem Netz mit einer asynchronen Datenübertragung angeordnet. Die Wahl einer Datenübertragungsrate oder einer Zeitschlitzbreite wird bei einer rahmenorientierten Datenübertragung durch die Übertragungsgeschwindigkeit der Netzübergangseinheiten vorge-
15 geben. Eine Zeitschlitzbreite wurde bisher mit Hilfe von markierten Feldern voreingestellt. Dies bringt jedoch den Nachteil mit sich, daß die Datenübertragung nur in den dafür markierten Zeitschlitzten durchgeführt werden kann.

20 Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung und ein Verfahren anzugeben, daß den oben aufgeführten Nachteil beseitigt.

Die Lösung der Aufgabe ergibt sich aus den Merkmalen der Patentansprüche 1,2 und 6,7.
25

Die Erfindung bringt den Vorteil mit sich, daß alle Zeitschlitzte eines Übertragungsrahmens für die Übertragung von Daten genützt werden können.

30

Die Erfindung bringt den Vorteil mit sich, daß durch Veränderung von Konfigurationsparametern die Kanalzahl für einen HDLC-Controller verändert werden kann.

35 Weitere Besonderheiten sind in den Unteransprüchen angegeben.

Die Schaltungsanordnung und das Verfahren werden aus der nachfolgenden näheren Erläuterung zu Ausführungsbeispielen anhand von Zeichnungen ersichtlich.

5 Es zeigen:

- Figur 1 eine schematische Darstellung einer Übertragungs-
strecke,
- Figur 2 einen Aufbau eines Übertragungsrahmens,
- 10 Figur 3 einen schematischen Aufbau eines HDLC-Control-
lers,
- Figur 4 ein Blockschaltbild einer HDLC-Empfangseinheit,
- Figur 5 ein Blockschaltbild einer HDLC-Sendeeinheit,
- Figur 6 eine detailliertere Darstellung einer HDLC-Emp-
15 fangseinheit und
- Figur 7 eine detailliertere Darstellung einer HDLC-Sende-
einheit.

In Figur 1 ist eine Netzkonfiguration einer Datenübertra-
20 gungsstrecke dargestellt. Diese Netzkonfiguration besteht aus
einem Datennetz AD zur asynchronen Datenübertragung und min-
destens einem Datennetz SD zur synchronen Datenübertragung.
Das Datennetz AD zur asynchronen Datenübertragung kann bei-
spielsweise ein ATM-Netz, ein Integer-Netz, ein Datex-P-Netz
25 oder ein Ether-Netz sein. Zur synchronen Datenübertragung in
den Datennetzen SD können beispielsweise PCM-Systeme oder ein
synchroner Transfermode STM verwendet werden. An den Schnitt-
stellen zwischen dem synchron und dem asynchron arbeitenden
Datennetz AD bzw. SD sind jeweils High-Level-Data-Link Con-
30 troller HDLC angeordnet. An einem Netzabschlußpunkt NT des
synchron arbeitenden Datennetzes SD können eine Vielzahl von
Datenendgeräten TL angeschlossen werden. Einem Datenendgerät
TL wird zur Datenübertragung zwischen dem Netzabschlußpunkt
NT und der Schnittstelle zwischen den Datennetzen AD, SD ein
35 oder mehrere Zeitschlitzze bzw. Zeitkanäle zugeteilt.

In Figur 2 ist ein Übertragungsrahmen eines PCM-Übertragungssystems wie er in dem Datennetz SD mit synchroner Datenübertragung verwendet wird wiedergegeben. Dieser PCM-Übertragungsrahmen ist beispielsweise 16 Bit lang und in maximal 16 Zeitschlitzze bzw. Kanäle unterteilbar. Der kleinst mögliche Zeitschlitz kann ein Bit, der größte Zeitschlitz kann 16 Bit umfassen. Die Bits des Übertragungsrahmens werden von 0 bis 15 durchnummeriert. Der erste Zeitschlitz TS mit der Zeitschlitzbreite TSB von 3 Bit weist die zu einem Datenübertragungskanal zusammengefaßten Zeitschlitzze TS bzw. Kanäle 0, 1 und 2 auf. Die Bezeichnung des jeweiligen Zeitschlitzes TS erfolgt durch die Nummer des ersten Kanals zu Beginn des Zeitschlitzes TS. Der erste Zeitschlitz TS bekommt die Nummer des ersten Bits zugewiesen. Im darauffolgenden zweiten Zeitschlitz TS, der die Kanäle 3, 4, 5 und 6 umfaßt, hat der zweite Zeitschlitz TS die Zeitschlitznummer TS entsprechend der Nummer des ersten Bits des zweiten Zeitschlitzes TS. Der dritte und vierte Zeitschlitz wird mit TS7 und TS8 bezeichnet.

20

In Figur 3 ist der Aufbau eines High-Level-Data-Link Controllers HDLC wiedergegeben. Dieser HDLC-Controller weist im Wesentlichen eine HDLC-Empfängereinheit HDLC-E, eine HDLC-Sendereinheit HDLC-S, einen HDLC-Prozessor HDLC-P sowie einen Framebuffer FB auf. Die HDLC-Empfängereinheit HDLC-E sowie die HDLC-Sendereinheit HDLC-S sind jeweils mit Leitungen des synchron arbeitenden Datennetzes SD verbunden. Der Framebuffer FB ist mit einem Asynchron-Controller AC des asynchron betriebenen Datennetzes AD verbunden.

30

Der dargestellte HDLC-Controller wird im Wesentlichen in drei Verarbeitungseinheiten untergliedert. Jede der Verarbeitungseinheiten ist unter anderem so aufgebaut, daß sie die Geschwindigkeitsanforderungen der nächsten Stufe reduziert.

35

In der ersten Verarbeitungseinheit WSPE, WPSS werden Daten seriell-parallel oder parallel-seriell umgesetzt, die Abar-

beutung des aktuellen Zeitschlitzes auf der Grundlage von Zustandsparametern durchgeführt und die Zustandsparameter für einen dem aktuellen Zeitschlitz nachfolgenden Zeitschlitz geladen. Die Zustandsparameter sind beispielsweise die Zeitschlitzlänge, Zustand, Bitzähler, Schieberegisterinhalt u.s.w.. Am Ende eines aktuellen Zeitschlitzes werden die Zustandsparameter des aktuellen Zeitschlitzes in einer ersten Speichereinheit zwischengespeichert und die bis dahin zwischengespeicherte Zustandsparameter des kommenden Zeitschlitzes dem HDLC-Prozessor HDLC-P zugeleitet. Während der Abarbeitung eines Zeitschlitzes werden an einem Datenport die kompletten Datenworte ausgegeben oder eingelesen.

Der HDLC-Prozessor HDLC-P kann empfangs- und sendeseitig in zwei Hälften aufgeteilt werden. Jede Hälfte umfaßt dabei eine zweite Verarbeitungseinheit BV, BVS und eine dritte Verarbeitungseinheit FV, FVS.

In der zweiten Verarbeitungseinheit BV, BVS eine Byteverarbeitungseinheit, werden zu Zeitschlitzten dazugehörige Zustandsparameter in einer zweiten Speichereinheit ST, STS verwaltet und die Datenworte aus oder in einem Teil der ersten Speichereinheit SE, SS dem Data-Hold DH, DHS Register ausgelesen oder nachgeladen (siehe Fig. 6, 7). Desweiteren erfolgt eine Zuweisung der Zustandsparameter in die erste Speichereinheit SE, SS. Die Daten werden über getrennte Datenwege an eine dritte Verarbeitungseinheit FV, FVS weitergeleitet oder von dieser empfangen.

In der dritten Verarbeitungseinheit FV, FVS einer Frameverarbeitungseinheit (siehe Fig. 6, 7) werden die zu einem Datenrahmen gehörende Datenworte zusammengefügt. In der dritten Verarbeitungseinheit FV, FVS wird zusätzlich noch eine Adreßerkennung, Blocksicherung und weitere Protokollfunktionen durchgeführt.

In Figur 4 ist ein Blockschaltbild der HDLC-Empfängereinheit HDLC-E dargestellt. Die wesentlichen Einheiten sind ein seriell-parallel Wandler S/P, ein HDLC-Prozessor HDLC-P sowie die entweder der ersten Verarbeitungseinheit WSPE oder dem HDLC-Prozessor HDLC-P zuzuordnenden Data-Hold Register DH sowie ein State-Parameter Register SP. Die auf einem seriellen Datenbus DB des synchronen Datennetzes SD transportierten Daten werden seriell in einem seriell-parallel Wandler S/P, das auch als Shift-Register bezeichnet werden kann, eingelesen. Bei Erreichen der voreinstellbaren Zeitschlitzbreite werden die Daten der Empfängereinheit HDLC-E und der Inhalt des seriell-parallel Wandlers S/P in das für die State-Parameter vorgesehenen Register SP umgeladen (siehe Fig. 6). Wenn die Daten innerhalb der Zeitschlitzze komplett sind, werden diese in das Data-Hold Register DH übergeben. Gleichzeitig werden die Daten eines nachfolgenden Zeitschlitzes in das Register SP eingeladen und die Empfangseinheit HDLC-E mit den zwischengespeicherten Daten für den nachfolgenden Zeitschlitz des vorangegangenen PCM-Rahmens voreingestellt.

In Figur 5 ist ein Blockschaltbild der HDLC-Sendeeinheit HDLC-S dargestellt. Mit dieser werden die zu versendenden Daten über den parallel-seriell Wandler P/S in einen Datenbus DB eingefügt. Immer nachdem ein Datenwort auf dem Datenbus DB ausgegeben wurde, wird aus dem Data-Hold-Register DHS ein neues Datenwort in den parallel-seriell Wandlers P/S geladen. Zu Beginn eines neuen Zeitschlitzes werden alle Daten und Zustände des HDLC-Prozessors HDLC-P, die in dem Data-Hold Register DHS und im State-Parameter-Register SPS zwischengespeichert waren, durch den HDLC-Prozessor HDLC-P ausgetauscht.

In Figur 6 ist die HDLC-Empfangseinheit HDLC-E detailliert dargestellt. Die wesentlichen Elemente der HDLC-Empfangseinheit HDLC-E sind dabei der seriell-parallel-Wandler S/P, das Register Data-Hold DH, ein State-Parameter-Register SP, eine Einheit zur Byteverarbeitung BV, eine Einheit zur Frameverarbeitung FV sowie ein Framebuffer FB.

Die im State-Parameter Register SP jeweils für einen Zeitschlitz zwischengespeicherten Daten werden nach dem aktuellen Zeitschlitz in einer State-Tabelle ST der Byteverarbeitungseinheit BV abgelegt. In der Byteverarbeitungseinheit BV wird
5 die State-Tabelle ST derart organisiert, daß jedes Mal bei einem Zeitschlitzwechsel die Daten eines kommenden Zeitschlitzes in das State-Parameter Register SP eingeladen werden. Die aus dem Data Hold-Register DH abgerufenen Daten werden in einer Event-Queue EQ, einem Bindeglied zwischen der
10 Byteverarbeitungseinheit BV und der Frameverarbeitungseinheit FV, eingeordnet und weiter verarbeitet.

Mit dem seriell-parallel Wandler S/P der ersten Verarbeitungseinheit (WSPE) werden die Daten aus dem Datenbus DB ausgelesen. Die Daten werden im Data-Hold Register DH abgelegt.
15 Am Ende einer über einen Zähler voreinstellbaren Länge eines Zeitschlitzes werden alle Daten und zugehörige Zustände zwischen dem seriell-parallel Wandler S/P und dem State-Parameter Register SP ausgetauscht. Im State-Parameter Register SP
20 werden die Zeitschlitzbreite, der Registerinhalt und dessen Zustand sowie weitere Parameter zwischengespeichert. In der State-Tabelle ST, sind die State-Parameter, die in das State-Parameter Register SP eingelesen wurden, zwischengespeichert. Die Größe der State-Tabelle ST entspricht der maximalen Anzahl möglicher Zeitschlitzes einer Übertragungsstrecke in dem
25 synchron arbeitenden Datennetz SD. Ein Beginn eines aktuellen Zeitschlitz nachfolgen Zeitschlitzes wird aus den Zustandsdaten des aktuellen Zeitschlitzes errechnet. Die Event-Queue EQ, die zwischen der Byteverarbeitungseinheit BV und
30 der Frameverarbeitungseinheit FV angeordnet ist, ist so organisiert, daß eine Priorisierung entsprechend der Übertragungsgeschwindigkeit eines Zeitschlitzes oder Kanals möglich ist. In dem der Frameverarbeitungseinheit FV nachgeordneten Framebuffer FB sind unter anderem die Daten aller HDLC-Kanäle
35 abgespeichert.

In Figur 7 ist die HDLC-Sendeeinheit HDLC-S wiedergegeben. Entsprechend den in der schematischen Darstellung gezeigten Pfeilrichtung werden aus dem Framebuffer FB die in Zeitschlitten bzw. Kanälen zu transportierenden Daten ausgelesen.

5

Werden nun Daten aus dem Framebuffer FB bzw. aus der Frameverarbeitungseinheit FVS ausgelesen, um diese innerhalb eines bestimmten Zeitschlittes des PCM-Rahmens anzuordnen, werden den Datenwörtern die betreffenden Zeitschlitznummern TS-Nr zugeordnet und über eine Datentabelle DTS einem Data-Hold-Register DHS zugeführt um dort zwischengespeichert zu werden. Gleichzeitig mit der Zwischenspeicherung der in die Zeitschlitzte der PCM-Rahmen einzufügenden Datenwörter werden aus einer in der Byteverarbeitungseinheit BVS angeordneten State-Tabelle einer zweiten Speichereinheit STS die für den HDLC-Prozessor HDLC-P notwendigen Initialisierungsdaten STS durch eine Zuordnungseinheit ZU in der zweiten Speichereinheit STS abgespeichert. Die im Data-Hold-Register DHS zwischengespeicherten Datenwörter werden aufgrund der Initialisierung des High-Level-Data-Link-Control-Prozessors HDLC-P bestimmungsgemäß in die dafür vorgesehenen Zeitschlitzte eingefügt. Am Ende eines Zeitschlittes wird der noch nicht verarbeitete Anteil des Datenwortes zusammen mit den augenblicklichen Zustandswerten des High-Data-Link-Control-Prozessors HDLC-P vom State-Parameter-Register SPS in die zweite Speichereinheit STS umgeladen. Während des Umladens gelangen gleichzeitig für den nachfolgenden Zeitschlitz $T_{sn}+x$ des PCM-Rahmens die Zustandsparameter in das State-Parameter-Registers SPS und die Datenwörter in das Data-Hold Register DHS. Entsprechend den Voreinstellungen des High-Level-Data-Link-Control-Prozessors HDLC-P werden die im Data-Hold-Register DHS zwischengespeicherten Daten in die Zeitschlitzte des PCM-Rahmens eingefügt. Bei einem erneuten Zeitschlitzwechsel werden die Zustandsparameter des High-Level-Data-Link-Control-Prozessors HDLC-P sowie die Daten in das Data-Hold-Register DHS, bzw. die Zustandsparameter in das State-Parameter Register SPS geladen und in der State Tabelle STS zwischengespeichert. Neue für

35

den kommenden Zeitschlitz benötigte Daten und Einstellungen für den High-Level-Data-Link-Control-Prozessor HDLC-P werden durch die Zuordnungseinheit ZU bestimmt.

- 5 In der Frameverarbeitungseinheit FVS werden die Daten für die Data-Tabelle DTS mit Hilfe der Event-Queue EQS weitergeleitet. In der Data-Tabelle DTS werden die Daten aller möglichen Zeitschlitz in einem Übertragungsrahmen für das Data-Hold Register DHS zwischengespeichert. Dadurch ist es möglich,
- 10 eine Frameverarbeitung auch außerhalb des Zeitschlitzes durchzuführen. Mit Hilfe der Event-Queue EQS ist eine Datenverarbeitung entsprechend der jeweiligen Übertragungsgeschwindigkeit möglich. In der Byteverarbeitungseinheit BVS werden die Zeitschlitznummern TS-Nummer des letzten, aktuellen und folgenden Zeitschlitzes aus der Position des Zeitschlitzes und der Zeitschlitzlänge im Übertragungsrahmen errechnet. In der State-Tabelle STS sind die State-Parameter SPS aller zu bearbeitenden Zeitschlitz gespeichert. Die
- 15 Größe der State-Tabelle STS entspricht immer der maximalen möglichen Anzahl von Zeitschlitz. Die State-Parameter, die in dem State-Parameter Register SPS eingetragen sind, enthalten folgende Information: Zeitschlitzbreite, Bitnummer im Datenwort sowie Schieberegisterinhalt und weitere Zustandsinformationen.

Patentansprüche

1. Schaltungsanordnung zum Empfangen von Daten, die mindestens einem Zeitschlitz (TS_1 , TS_n , TS_{n+x} , ...) innerhalb eines Übertragungsrahmens zugeordnet sind,
5 mit
- einer ersten Verarbeitungseinheit (WSPE) zum Auslesen der Daten aus einem aktuellen Zeitschlitz (TS_n) und Bereitstellen der aktuellen Zustandsparameter des aktuellen Zeitschlitzes (TS_n), zum Zwischenspeichern der Zustandsparameter eines dem aktuellen Zeitschlitz (TS_n) folgenden Zeitschlitzes (TS_{n+x}) und zum Zwischenspeichern der ausgelesenen Daten eines Zeitschlitzes (TS_n) in einer ersten Speichereinheit (SE),
10
 - einer zweiten Verarbeitungseinheit (BV) mit einer Zuordnungseinheit (ZU) zur Verwaltung einer zweiten Speichereinheit (ST) in der aus der ersten Speichereinheit (SE) bei einem Zeitschlitzwechsel ausgelesenen Zustandsparameter abgespeichert werden, zur Bereitstellung der in der ersten Speichereinheit (SE) zwischenzuspeichernden Zustandsparameter, und zur Zuweisung der in der ersten Speichereinheit (SE) zwischengespeicherten Daten eines aktuellen Zeitschlitzes (TS_n) in eine dritte Speichereinheit (EQ), und
15
 - einer dritten Verarbeitungseinheit (FV) zur Bildung von Datenwörtern aus den in der dritten Speichereinheit (EQ) abgelegten Daten.
20
2. Schaltungsanordnung zum Senden von Daten, die mindestens einem Zeitschlitz (TS_1 , TS_n , TS_{n+1}) innerhalb eines Übertragungsrahmens zugeordnet werden,
30 mit
- einer ersten Verarbeitungseinheit (WPSS) die eine Einheit (P/S) zum Einlesen der Daten in einen aktuellen Zeitschlitz (TS_n) in den Übertragungsrahmen und Bereitstellen der aktu-
35

ellen Zustandsparameter für einen aktuellen Zeitschlitz aufweist, und einer ersten Speichereinheit (SS) zum Zwischenspeichern der Zustandsparameter eines dem aktuellen Zeitschlitz (TSn) folgenden Zeitschlitzes (TSn+x),

5

- einer zweiten Verarbeitungseinheit (BVS) mit einer Zuordnungseinheit (ZU) zur Verwaltung einer zweiten Speichereinheit (STS) in der aus der ersten Speichereinheit (SS) bei einem Zeitschlitzwechsel ausgelesenen Zustandsparameter abgespeichert werden, zur Bereitstellung der in der ersten Speichereinheit (SS) zwischenzuspeichernden Zustandsparameter, und zur Zuweisung der in einer dritten Speichereinheit (DTS) zwischengespeicherten Daten in die erste Speichereinheit (SS),

15

- einer dritten Verarbeitungseinheit (FVS) zum Zuordnen von zu Zeitschlitz (TSn, TSn+x) gehörenden Daten und deren Abspeicherung in einer dritten Speichereinheit (DTS).

20

3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die ersten Speichereinheit (SE, SS) aus einem ersten und zweiten Register (SP, DH; SPS, DHS) gebildet ist.

25

4. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß in der ersten Verarbeitungseinheit (WSPE, WPSS) ein Schieberegister (S/P, P/S) zum Empfang der Daten aus einem Übertragungsrahmen (TSn) und zum Senden der Daten in einen Übertragungsrahmen vorgesehen ist.

30

5. Schaltungsanordnung nach Anspruch 1 und 2, dadurch gekennzeichnet, daß diese in einem HDLC-Controller (HDLC) zum Empfang und Senden von Daten integriert sind.

35

6. Verfahren zum Empfangen von Daten, die mindestens einem Zeitschlitz (TS_1 , TS_n , TS_{n+x}) innerhalb eines Übertragungsrahmens zugeordnet sind,

d a d u r c h g e k e n n z e i c h n e t,

5

- daß Daten aus einem aktuellen Zeitschlitz (TS_n) ausgelesen und zwischengespeichert sowie aktuelle Zustandsparameter des aktuellen Zeitschlitzes bereitgestellt werden und Zustandsparameter eines dem aktuellen Zeitschlitz (TS_n) folgenden Zeitschlitzes (TS_{n+1}) in einer ersten Speichereinheit (SE) zwischengespeichert werden,
- daß in einer zweiten Speichereinheit (ST) in der aus der ersten Speichereinheit (SE) bei einem Zeitschlitzwechsel ausgelesene Zustandsparameter abgespeichert und verwaltet werden,
- daß in der ersten Speichereinheit (SE) zwischenzuspeichernde Zustandsparameter bereitgestellt werden, und in der ersten Speichereinheit (SE) zwischenzuspeichernde Daten eines aktuellen Zeitschlitzes (TS_n) in eine dritte Speichereinheit (EQ) eingelesen werden, und
- daß aus den in der dritten Speichereinheit (EQ) abgelegten Daten Datenwörter gebildet werden.

20

25

7. Verfahren zum Senden von Daten, die mindestens einem Zeitschlitz (TS_1 , TS_n , TS_{n+x}) innerhalb eines Übertragungsrahmens zugeordnet werden,

30 mit

- daß Zustandsparameter eines aktuellen Zeitschlitzes bereitgestellt und Daten in einen aktuellen Zeitschlitz (TS_n) eingelesen werden, und Zustandsparameter eines dem aktuellen Zeitschlitz (TS_n) folgenden Zeitschlitzes (TS_{n+x}) in einer ersten Speichereinheit (SS) zwischengespeichert werden,

35

- daß in einer zweiten Speichereinheit (STS) in der aus der ersten Speichereinheit (SS) bei einem Zeitschlitzwechsel ausgelesenen Zustandsparameter abgespeichert werden, die in der ersten Speichereinheit (SS) zwischenzuspeichernden Zustandsparameter bereitgestellt werden, und die in einer dritten Speichereinheit (DTS) zwischengespeicherten Daten der ersten Speichereinheit (SS) abgelegt werden,
- daß zu Zeitschlitzzen (TS_n , TS_{n+x}) gehörende Daten zugeordnet und deren Abspeicherung in der dritten Speichereinheit (DTS) abgespeichert werden.

Zusammenfassung

5 Schaltungsanordnung und Verfahren zum Empfangen und Senden von Daten

10 Mit dieser Schaltungsanordnung und dem dazugehörigen Verfahren ist es aufgrund einer Zwischenspeicherung aller einen Zeitschlitz in einem Übertragungsrahmen zugeordneter Zustandsparameter möglich, sich auf einen aktuellen Zeitschlitz einzustellen.

Figur 3

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

REC'D 06 NOV 2000

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

Aktenzeichen des Anmelders oder Anwalts GR 98 P2215P	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsbericht (Formblatt PCT/IPEA/416)	
Internationales Aktenzeichen PCT/DE99/02077	Internationales Anmeldedatum (Tag/Monat/Jahr) 06/07/1999	Prioritätsdatum (Tag/Monat/Tag) 31/07/1998
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H04J3/16		
Anmelder SIEMENS AKTIENGESELLSCHAFT et al.		



1. Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationale vorläufigen Prüfung beauftragte Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
2. Dieser BERICHT umfaßt insgesamt 7 Blätter einschließlich dieses Deckblatts.

☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt 7 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Berichts
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderische Tätigkeit und der gewerbliche Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☒ Bestimmte Mängel der internationalen Anmeldung
- VIII ☒ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 10/02/2000	Datum der Fertigstellung dieses Berichts 02.11.2000
Name und Postanschrift der mit der internationalen vorläufigen Prüfung beauftragten Behörde:  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Tillgren, M Tel. Nr. +49 89 2399 7497 

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE99/02077

I. Grundlage des Berichts

1. Dieser Bericht wurde erstellt auf der Grundlage (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten.*):

Beschreibung, Seiten:

2-8 ursprüngliche Fassung

1,1a eingegangen am 22/08/2000 mit Schreiben vom 21/08/2000

Patentansprüche, Nr.:

3-5 ursprüngliche Fassung

1,2,6,7 eingegangen am 22/08/2000 mit Schreiben vom 21/08/2000

Zeichnungen, Blätter:

1/5-3/5 ursprüngliche Fassung

4/5,5/5 eingegangen am 22/08/2000 mit Schreiben vom 21/08/2000

2. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

3. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)):

4. Etwaige zusätzliche Bemerkungen:

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE99/02077

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung

Neuheit (N)	Ja: Ansprüche	1-7
	Nein: Ansprüche	
Erfinderische Tätigkeit (ET)	Ja: Ansprüche	
	Nein: Ansprüche	1-7
Gewerbliche Anwendbarkeit (GA)	Ja: Ansprüche	1-7
	Nein: Ansprüche	

2. Unterlagen und Erklärungen

siehe Beiblatt

VII. Bestimmte Mängel der internationalen Anmeldung

Es wurde festgestellt, daß die internationale Anmeldung nach Form oder Inhalt folgende Mängel aufweist:

siehe Beiblatt

VIII. Bestimmte Bemerkungen zur internationalen Anmeldung

Zur Klarheit der Patentansprüche, der Beschreibung und der Zeichnungen oder zu der Frage, ob die Ansprüche in vollem Umfang durch die Beschreibung gestützt werden, ist folgendes zu bemerken:

siehe Beiblatt

Zu Punkt V

Begründete Feststellung nach Regel 66.2(a)(ii) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

Die Anordnung gemäß Anspruch 1 ist durch die Dokumente US-A-5 619 500 und US-A-5 029 163 (im folgenden D1 bzw D2 genannt) nahegelegt. D1 beschreibt einen HDLC-Controller für die Rahmung von mehreren Kanälen. Der bekannte Controller weist, analog zum vorliegenden Anspruch 1, folgende Merkmale auf:

- (a) Empfangen von Daten, die einem Zeitschlitz innerhalb eines Übertragungsrahmens zugeordnet sind (es ist ATM: siehe Zusammenfassung und Spalte 1, Zeilen 5-10);
- (b) Auslesen der Daten eines aktuellen Zeitschlitzes (dies ist implizit aus Spalte 12, Zeilen 1-10 ersichtlich, denn Daten können nur gespeichert werden, wenn sie vorher aus dem Zeitschlitz ausgelesen worden sind);
- (c) Zwischenspeicherung von den ausgelesenen Daten in einen Speicher (803) (siehe Spalte 12, Zeilen 1-10);
- (d) Bereitstellung der aktuellen Zustandsparameter (Spalte 12, Zeilen 14-21);
- (e) Zwischenspeicherung von Zustandsparametern eines folgenden Zeitschlitzes in einer ersten Speichereinheit (801)(siehe Spalte 12, Zeilen 10-18);
- (f) Einer Zweiten Speichereinheit (802) zur Abspeicherung von Zustandsparametern aus der ersten Speichereinheit (801) bei Zeitschlitzwechsel (siehe Spalte 12, Zeilen 20- 29);
- (g) Bereitstellung der in der ersten Speichereinheit zwischenzuspeichernden Zustandsparameter (siehe Spalte 12, Zeilen 24-29);
- (h) Zuweisung der in der ersten Speichereinheit zwischengespeicherten Daten eines aktuellen Zeitschlitzes in eine dritte Speichereinheit (804) (siehe Spalte 12, Zeilen 20- 25).

Der Unterschied zwischen der beanspruchten und der aus D1 bekannten Anordnung wird darin gesehen, daß in D1 keine unterschiedlichen Zeitschlitzbreiten auf derselben Übertragungsstrecke vorhanden sind, daß keine explizit genannte Zuordnungseinheit zur Verwaltung der zweiten Speichereinheit vorhanden ist, und daß es keine explizit genannte dritte Verarbeitungseinheit zur Bildung von Datenwörtern aus den in der dritten Speichereinheit abgelegten Daten gibt. Die Verwaltung einer Speichereinheit ist notwendig, und ob die Zuordnungseinheit oder etwas ähnliches gewählt ist, ist nur eine Implementationsfrage und ein Teil des normalen fachmännischen Könnens. Auch die

Tatsache, daß man die Anordnung in drei verschiedene Verarbeitungseinheiten aufteilt ist eine reine Implementationsfrage. Die objektive Aufgabe der Erfindung ist daher, eine Schnittstelle zwischen zwei Datennetzwerken so zu konfigurieren, daß verschiedene Kommunikationen verschiedene Zeitschlitzbreiten auf derselben Übertragungsstrecke verwenden können um daher größere Übertragungsflexibilität zu gewinnen. Die Verwendung von verschiedenen Zeitschlitzbreiten auf derselben Übertragungsstrecke, oder mehr korrekt gesagt die Verwendung einer größeren oder kleineren Anzahl von Zeitschlitzten innerhalb eines Übertragungsrahmens (Anmeldung Seite 3, Zeile 1-19 und Figur 2), ist durch D2 bekannt (Anspruch 1, Zeile 9-20; Figur 4; Spalte 4, Zeilen 22-41). Weil D1 und D2 Schnittstellen zwischen verschiedenen Netzwerke herstellen, ist es für den Fachmann naheliegend D2 zu studieren um die Übertragungsflexibilität des D1-Systems zu verbessern.

Daher basiert die Anordnung gemäß Anspruch 1 nicht auf einer erfinderischen Tätigkeit (Artikel 33(3) PCT) (siehe auch Punkt VII).

Der oben erhobene Einwand gilt sinngemäß auch für den Anspruch 6, der auf ein entsprechendes Verfahren zum Empfang gerichtet ist.

Die Anordnung gemäß Anspruch 2 ist durch die Dokumente D1 und D2 nahegelegt. D1 beschreibt einen HDLC-Controller für die Rahmung von mehreren Kanälen. Der bekannte Controller weist, analog zum vorliegenden Anspruch 2, folgende Merkmale auf:

- (a) Senden von Daten, die einem Zeitschlitz innerhalb eines Übertragungsrahmens zugeordnet werden (es ist ATM: siehe Zusammenfassung und Spalte 1, Zeilen 5-10);
- (b) Einlesen der Daten in einen aktuellen Zeitschlitz (siehe Spalte 13, Zeilen 60-61);
- (c) Bereitstellung der aktuellen Zustandsparameter (Spalte 13, Zeilen 6-12);
- (d) Zwischenspeicherung von Zustandsparametern eines folgenden Zeitschlitzes (siehe Spalte 12, Zeilen 52-53);
- (e) Einer zweiten Speichereinheit (802) zur Abspeicherung von Zustandsparametern aus der ersten Speichereinheit (801) , bei Zeitschlitzwechsel (siehe Spalte 12, Zeile 56));
- (f) Die Bereitstellung von zwischenzuspeichernden Zustandsparametern (dies ist implizit aus Spalte 13 ersichtlich, denn die Zustandsparameter können nur benutzt werden, wenn sie bereitgestellt sind).
- (g) Zuweisung der in einer dritten Speichereinheit (804) zwischengespeicherten Daten in

einen Speicher zum Senden (903) (siehe Spalte 12, Zeile 61 bis Spalte 13, Zeile 12)

Der Unterschied zwischen der beanspruchten und der aus D1 bekannten Anordnung wird darin gesehen, daß in D1 keine unterschiedlichen Zeitschlitzbreiten auf derselben Übertragungsstrecke vorhanden sind, daß keine explizit genannte Zuordnungseinheit zur Verwaltung der zweiten Speichereinheit vorhanden ist, und daß es keine explizit genannte dritte Verarbeitungseinheit zum Zuordnen von zu Zeitschlitzten gehörenden Daten und deren Abspeicherung gibt. Die Verwaltung einer Speichereinheit ist notwendig, und ob die Zuordnungseinheit oder etwas ähnliches gewählt ist, ist nur eine Implementationsfrage und ein Teil des normalen fachmännischen Könnens. Auch die Tatsache, daß man die Anordnung in drei verschiedene Verarbeitungseinheiten aufteilt ist eine reine Implementationsfrage. Die objektive Aufgabe der Erfindung ist daher, eine Schnittstelle zwischen zwei Datennetzwerken so zu konfigurieren, daß verschiedene Kommunikationen verschiedene Zeitschlitzbreiten auf derselben Übertragungsstrecke verwenden können um daher größere Übertragungsflexibilität zu gewinnen. Die Verwendung von verschiedenen Zeitschlitzbreiten auf derselben Übertragungsstrecke, oder mehr korrekt gesagt die Verwendung einer größeren oder kleineren Anzahl von Zeitschlitzten innerhalb eines Übertragungsrahmens (Anmeldung Seite 3, Zeile 1-19 und Figur 2), ist durch das Dokument D2 bekannt (Anspruch 1, Zeile 9-20). Weil D1 und D2 Schnittstellen zwischen verschiedenen Netzwerke herstellen, ist es für den Fachmann naheliegend D2 zu studieren um die Übertragungsflexibilität des D1-Systems zu verbessern.

Daher basiert die Anordnung gemäß Anspruch 2 nicht auf einer erfinderischen Tätigkeit (Artikel 33(3) PCT).

Der oben erhobene Einwand gilt sinngemäß auch für den Anspruch 7, der auf ein entsprechendes Verfahren zum Senden gerichtet ist.

Die Merkmale gemäß Anspruch 3 (erste und zweite Register) und 4 (ein Schieberegister) sind nur einfache Implementationsmaßnahmen und gehen nicht über das normale fachmännische Können hinaus.

Das Merkmal gemäß Anspruch 5 (HDLC) ist aus D1 bekannt (siehe Spalte 2, Zeilen 22-34)

Zu Punkt VII

Bestimmte Mängel der internationalen Anmeldung

Das obengenannte Dokument D2 stellt relevanten Stand der Technik dar und sollte daher in der Beschreibung zitiert sein und sein Inhalt sollte kurz umrissen geworden (Regel 5.1(a)(ii) PCT).

Zu Punkt VIII

Bestimmte Bemerkungen zur internationalen Anmeldung

Anspruch 1 erfüllt nicht das Erfordernis des Artikel 6 PCT. Der Begriff "eines Zeitschlitzes (TSn)" in Zeile 13 ist vage. Es wäre besser "eines aktuellen Zeitschlitzes" als Ersatz für "eines Zeitschlitzes" zu benutzen.

Beschreibung

Schaltungsanordnung und Verfahren zum Empfangen und Senden von Daten

5

10 In Kommunikationssystemen, insbesondere Vermittlungsanlagen werden High-Level-Data-Link-Controller zur Datenübertragung bei Netzübergangsstellen verwendet. Diese HDLC-Controller sind an Netzübergangsstellen wie beispielsweise zwischen einem Netz mit einer synchronen Datenübertragung und einem Netz mit einer asynchronen Datenübertragung angeordnet. Die Wahl einer Datenübertragungsrate oder einer Zeitschlitzbreite wird bei einer rahmenorientierten Datenübertragung durch die Übertragungsgeschwindigkeit der Netzübergangseinheiten vorgegeben. Eine Zeitschlitzbreite wurde bisher mit Hilfe von markierten Feldern voreingestellt. Dies bringt jedoch den Nachteil mit sich, daß die Datenübertragung nur in den dafür markierten Zeitschlitzten durchgeführt werden kann.

20 Aus der US-Patentschrift Nr. 5,619,500 ist ein HDLC-Kontroller mit einer Rahmenaufteilung mit einer festen Anzahl von Kanälen bekannt. Dieser HDLC-Kontroller weist jedoch den Nachteil auf, dass die Anzahl der Kanäle sowie dessen Kanalbreite innerhalb des Rahmens nicht veränderbar sind.

25

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung und ein Verfahren anzugeben, daß den oben aufgeführten Nachteil beseitigt.

30 Die Lösung der Aufgabe ergibt sich aus den Merkmalen der Patentansprüche 1,2 und 6,7.

Die Erfindung bringt den Vorteil mit sich, daß alle Zeitschlitzte eines Übertragungsrahmens für die Übertragung von Daten genützt werden können.

35

Die Erfindung bringt den Vorteil mit sich, daß durch Veränderung von Konfigurationsparametern die Kanalzahl für einen HDLC-Controller verändert werden kann.

- 5 Weitere Besonderheiten sind in den Unteransprüchen angegeben.

neue Patentansprüche

1. Schaltungsanordnung zum Empfangen von in einem Übertragungsrahmen angeordneter Daten, wobei unterschiedliche
5 Zeitschlitzbreiten auf derselben Übertragungsstrecke innerhalb des Übertragungsrahmens konfigurierbar sind, mit

- einer ersten Verarbeitungseinheit (WSPE) zum Auslesen der Daten aus einem aktuellen Zeitschlitz (TSn) und Bereitstellen der aktuellen Zustandsparameter des aktuellen Zeitschlitzes (TSn), zum Zwischenspeichern der Zustandsparameter eines dem aktuellen Zeitschlitz (TSn) folgenden Zeitschlitzes (TSn+x) und zum Zwischenspeichern der ausgelesenen Daten eines Zeitschlitzes (TSn) in einer ersten Speichereinheit (SE),
10
15

- einer zweiten Verarbeitungseinheit (BV) mit einer Zuordnungseinheit (ZU) zur Verwaltung einer zweiten Speichereinheit (ST) in der aus der ersten Speichereinheit (SE) bei einem Zeitschlitzwechsel ausgelesenen Zustandsparameter abgespeichert werden, zur Bereitstellung der in der ersten Speichereinheit (SE) zwischenzuspeichernden Zustandsparameter, und zur Zuweisung der in der ersten Speichereinheit (SE) zwischengespeicherten Daten eines aktuellen Zeitschlitzes (TSn) in eine dritte Speichereinheit (EQ), und
20
25

- einer dritten Verarbeitungseinheit (FV) zur Bildung von Datenwörtern aus den in der dritten Speichereinheit (EQ) abgelegten Daten.
30

2. Schaltungsanordnung zum Senden von Daten die in einem Übertragungsrahmen angeordnet werden, wobei unterschiedliche Zeitschlitzbreiten auf derselben Übertragungsstrecke innerhalb des Übertragungsrahmens konfigurierbar sind,
35 mit

- einer ersten Verarbeitungseinheit (WPSS) die eine Einheit (P/S) zum Einlesen der Daten in einen aktuellen Zeitschlitz (TSn) in den Übertragungsrahmen und Bereitstellen der aktuellen Zustandsparameter für einen aktuellen Zeitschlitz aufweist, und einer ersten Speichereinheit (SS) zum Zwischenspeichern der Zustandsparameter eines dem aktuellen Zeitschlitz (TSn) folgenden Zeitschlitzes (TSn+x),
 - einer zweiten Verarbeitungseinheit (BVS) mit einer Zuordnungseinheit (ZU) zur Verwaltung einer zweiten Speichereinheit (STS) in der aus der ersten Speichereinheit (SS) bei einem Zeitschlitzwechsel ausgelesenen Zustandsparameter abgespeichert werden, zur Bereitstellung der in der ersten Speichereinheit (SS) zwischenzuspeichernden Zustandsparameter, und zur Zuweisung der in einer dritten Speichereinheit (DTS) zwischengespeicherten Daten in die erste Speichereinheit (SS),
 - einer dritten Verarbeitungseinheit (FVS) zum Zuordnen von zu Zeitschlitz (TSn, TSn+x) gehörenden Daten und deren Abspeicherung in einer dritten Speichereinheit (DTS).
6. Verfahren zum Empfangen von in einem Übertragungsrahmen angeordneter Daten, wobei unterschiedliche Zeitschlitzbreiten auf derselben Übertragungsstrecke innerhalb des Übertragungsrahmens konfigurierbar sind,
- daß Daten aus einem aktuellen Zeitschlitz (TSn) ausgelesen und zwischengespeichert sowie aktuelle Zustandsparameter des aktuellen Zeitschlitzes bereitgestellt werden und Zustandsparameter eines dem aktuellen Zeitschlitz (TSn) folgenden Zeitschlitzes (TSn+1) in einer ersten Speichereinheit (SE) zwischengespeichert werden,
 - daß in einer zweiten Speichereinheit (ST) in der aus der ersten Speichereinheit (SE) bei einem Zeitschlitzwechsel

ausgelesene Zustandsparameter abgespeichert und verwaltet werden,

- 5 - daß in der ersten Speichereinheit (SE) zwischenzuspeichernde Zustandsparameter bereitgestellt werden, und in der ersten Speichereinheit (SE) zwischenzuspeichernde Daten eines aktuellen Zeitschlitzes (TSn) in eine dritte Speichereinheit (EQ) eingelesen werden, und
- 10 - daß aus den in der dritten Speichereinheit (EQ) abgelegten Daten Datenwörter gebildet werden.

7. Verfahren zum Senden von in einem Übertragungsrahmen angeordneter Daten, wobei unterschiedliche Zeitschlitzbreiten auf derselben Übertragungsstrecke innerhalb des Übertragungsrahmens konfigurierbar sind,

- 20 - daß Zustandsparameter eines aktuellen Zeitschlitzes bereitgestellt und Daten in einen aktuellen Zeitschlitz (TSn) eingelesen werden, und Zustandsparameter eines dem aktuellen Zeitschlitz (TSn) folgenden Zeitschlitzes (TSn+x) in einer ersten Speichereinheit (SS) zwischengespeichert werden,
- 25 - daß in einer zweiten Speichereinheit (STS) in der aus der ersten Speichereinheit (SS) bei einem Zeitschlitzwechsel ausgelesenen Zustandsparameter abgespeichert werden, die in der ersten Speichereinheit (SS) zwischenzuspeichernden Zustandsparameter bereitgestellt werden, und die in einer dritten Speichereinheit (DTS) zwischengespeicherten Daten der ersten Speichereinheit (SS) abgelegt werden,
- 30 - daß zu Zeitschlitz (TSn, TSn+x) gehörende Daten zugeordnet und deren Abspeicherung in der dritten Speichereinheit (DTS) abgespeichert werden.

FIG 6

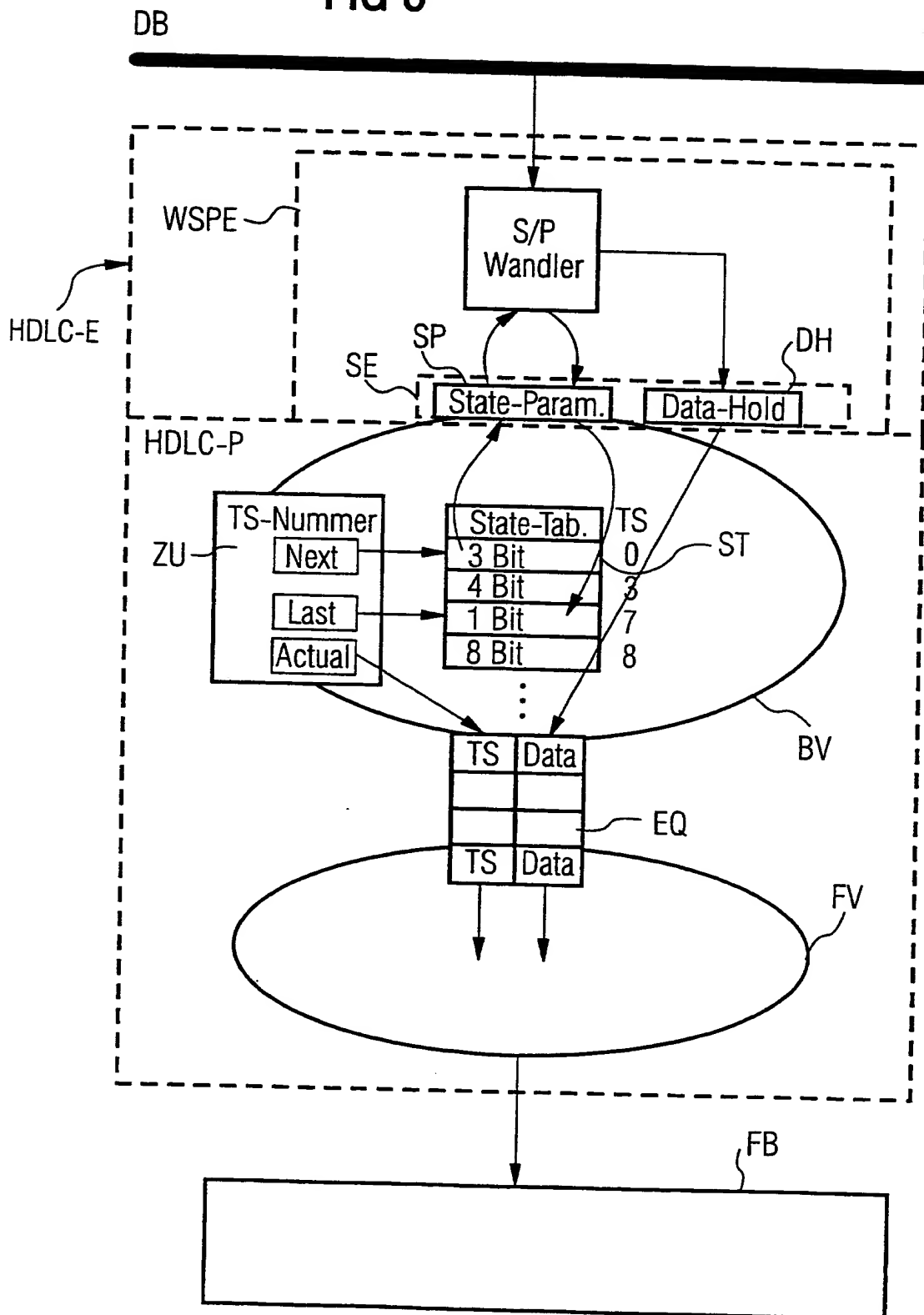
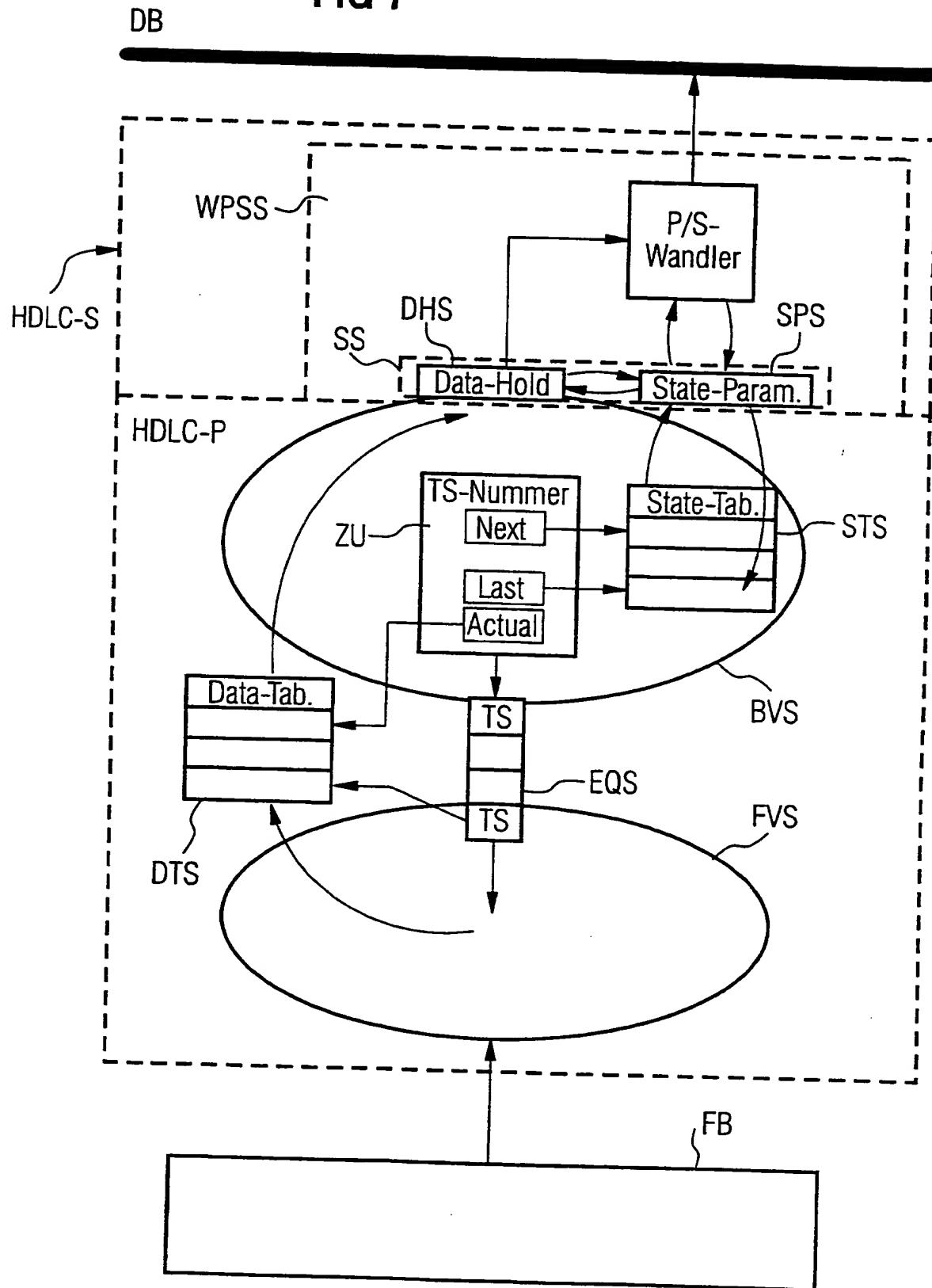


FIG 7



I claim As MY INVENTION
Patent Claims

7

1. Circuit arrangement for receiving data arranged in a transmission frame, whereby different time slot widths on the same transmission link can be configured within the transmission frame, comprising

- 5 — a first processing unit (WSPE) for readout of the data out from a current time slot (TSn) and offering the current state parameters of the current time slot (TSn), for intermediately storing the state parameters of a time slot (TSn+x) following the current time slot (TSn), and for intermediately storing the readout data of a time slot (TSn) in a first memory unit (SE);
- 10 — a second processing unit (BV) with an allocation unit (ZU) for administering a second memory unit (ST) in which state parameters read from the first memory unit (SE) given a time slot change are stored, for editing the state parameters intermediately stored in the first memory unit (SE), and for allocation of the data of a current time slot (TSn)
- 15 intermediately stored in the first memory unit (SE) into a third memory unit (EQ); and
- a third processing unit (EV) for forming data words from the data deposited in the third memory unit (EQ).

2. Circuit arrangement for transmitting data that are arranged in a transmission frame, whereby different time slot widths on the same transmission link can be configured within the transmission frame, comprising

- 20 — a first processing unit (WPSS) that comprises a unit (P/S) for reading the data in a current time slot (TSn) into the transmission frame and offering the current state parameters for a current time slot, and a first memory unit
- 25 (SS) for intermediately storing the state parameters of a time slot (TSn+x) following the current time slot (TSn);
- a second processing unit (BVS) with an allocation unit (ZU) for administering a second memory unit (STS) in which state parameters read from the first memory unit (SS) given a time slot change are stored, for
- 30 editing the state parameters to be intermediately stored in the first memory

— a third processing unit (FVS) for the allocation of data belonging to time slots (TS_n , TS_{n+x}) and their storing in a third memory unit (DTS).

3. Circuit arrangement according to claim 1 or 2, characterized in that the first memory unit (SE, SS) is formed of a first and second register (SP, DH; SPS, DHS).

4. Circuit arrangement according to claim 1 or 2, characterized in that a shift register (S/P, P/S) is provided in the first processing unit (WSPE, WPSS) for the reception of the data from a transmission frame (TS_n) and for the transmission of the data into a transmission frame.

5. Circuit arrangement according to claim 1 and 2, characterized in that these are integrated in an HDLC controller (HDLC) for the reception and transmission of data.

6. Method for the reception of data that are allocated to at least one time slot (TS_1 , TS_n , TS_{n+x}) within a transmission frame, characterized in that

— data from a current time slot (TS_n) are read out and intermediately stored and current state parameters of the current time slot are offered and state parameters of a time slot (TS_{n+1}) following the current time slot (TS_n) are intermediately stored in a first memory unit (SE);

— [...] in a second memory unit (ST) in which state parameters read from the first memory unit (SE) given a time slot change are stored and administered;

— state parameters to be intermediately stored in the first memory unit (SE) are offered and data of a current time slot (TS_n) to be intermediately stored in the first memory unit (SE) are read into a third memory unit (EQ); and

— in that data words are formed from the data deposited in the third memory unit (EQ).

7. Method for the transmission of data that are allocated to at least one time slot (TS_1 , TS_n , TS_{n+x}) within a transmission frame, characterized in that

— state parameters of a current time slot are offered and data are read into a current time slot (TS_n), and state parameters of a time slot (TS_{n+1})

REPLACEMENT
ART 31

are stored, and the data intermediately stored in a third memory unit (DTS) [...] the first memory unit (SS);

— that data belonging to time slots (TS_n , TS_{n+x}) are allocated and their storing in the third memory unit (DTS) are stored. [SIC!!!]

*Add
A1*

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5029163 A	02-07-1991	CA 1331228 A	02-08-1994
		JP 2010931 A	16-01-1990
		JP 1241935 A	26-09-1989
US 5619500 A	08-04-1997	KEINE	

Beschreibung

Schaltungsanordnung und Verfahren zum Empfangen und Senden von Daten

5

In Kommunikationssystemen, insbesondere Vermittlungsanlagen werden High-Level-Data-Link-Controller zur Datenübertragung bei Netzübergangsstellen verwendet. Diese HDLC-Controller sind an Netzübergangsstellen wie beispielsweise zwischen
10 einem Netz mit einer synchronen Datenübertragung und einem Netz mit einer asynchronen Datenübertragung angeordnet. Die Wahl einer Datenübertragungsrate oder einer Zeitschlitzbreite wird bei einer rahmenorientierten Datenübertragung durch die Übertragungsgeschwindigkeit der Netzübergangseinheiten vorge-
15 geben. Eine Zeitschlitzbreite wurde bisher mit Hilfe von markierten Feldern voreingestellt. Dies bringt jedoch den Nachteil mit sich, daß die Datenübertragung nur in den dafür markierten Zeitschlitzten durchgeführt werden kann.

20 Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung und ein Verfahren anzugeben, daß den oben aufgeführten Nachteil beseitigt.

Die Lösung der Aufgabe ergibt sich aus den Merkmalen der Patentansprüche 1,2 und 6,7.
25

Die Erfindung bringt den Vorteil mit sich, daß alle Zeitschlitzte eines Übertragungsrahmens für die Übertragung von Daten genützt werden können.

30

Die Erfindung bringt den Vorteil mit sich, daß durch Veränderung von Konfigurationsparametern die Kanalzahl für einen HDLC-Controller verändert werden kann.

35 Weitere Besonderheiten sind in den Unteransprüchen angegeben.

Die Schaltungsanordnung und das Verfahren werden aus der nachfolgenden näheren Erläuterung zu Ausführungsbeispielen anhand von Zeichnungen ersichtlich.

5 Es zeigen:

- Figur 1 eine schematische Darstellung einer Übertragungs-
strecke,
- Figur 2 einen Aufbau eines Übertragungsrahmens,
- 10 Figur 3 einen schematischen Aufbau eines HDLC-Control-
lers,
- Figur 4 ein Blockschaltbild einer HDLC-Empfangseinheit,
- Figur 5 ein Blockschaltbild einer HDLC-Sendeeinheit,
- Figur 6 eine detailliertere Darstellung einer HDLC-Emp-
15 fangseinheit und
- Figur 7 eine detailliertere Darstellung einer HDLC-Sende-
einheit.

In Figur 1 ist eine Netzkonfiguration einer Datenübertra-
20 gungsstrecke dargestellt. Diese Netzkonfiguration besteht aus
einem Datennetz AD zur asynchronen Datenübertragung und min-
destens einem Datennetz SD zur synchronen Datenübertragung.
Das Datennetz AD zur asynchronen Datenübertragung kann bei-
spielsweise ein ATM-Netz, ein Integer-Netz, ein Datex-P-Netz
25 oder ein Ether-Netz sein. Zur synchronen Datenübertragung in
den Datennetzen SD können beispielsweise PCM-Systeme oder ein
synchroner Transfermode STM verwendet werden. An den Schnitt-
stellen zwischen dem synchron und dem asynchron arbeitenden
Datennetz AD bzw. SD sind jeweils High-Level-Data-Link Con-
30 troller HDLC angeordnet. An einem Netzabschlußpunkt NT des
synchron arbeitenden Datennetzes SD können eine Vielzahl von
Datenendgeräten TL angeschlossen werden. Einem Datenendgerät
TL wird zur Datenübertragung zwischen dem Netzabschlußpunkt
NT und der Schnittstelle zwischen den Datennetzen AD, SD ein
35 oder mehrere Zeitschlitzte bzw. Zeitkanäle zugeteilt.

In Figur 2 ist ein Übertragungsrahmen eines PCM-Übertragungssystems wie er in dem Datennetz SD mit synchroner Datenübertragung verwendet wird wiedergegeben. Dieser PCM-Übertragungsrahmen ist beispielsweise 16 Bit lang und in maximal 16 Zeitschlitzze bzw. Kanäle unterteilbar. Der kleinst mögliche Zeitschlitz kann ein Bit, der größte Zeitschlitz kann 16 Bit umfassen. Die Bits des Übertragungsrahmens werden von 0 bis 15 durchnummeriert. Der erste Zeitschlitz TS mit der Zeitschlitzbreite TSB von 3 Bit weist die zu einem Datenübertragungskanal zusammengefaßten Zeitschlitzze TS bzw. Kanäle 0, 1 und 2 auf. Die Bezeichnung des jeweiligen Zeitschlitzes TS erfolgt durch die Nummer des ersten Kanals zu Beginn des Zeitschlitzes TS. Der erste Zeitschlitz TS bekommt die Nummer des ersten Bits zugewiesen. Im darauffolgenden zweiten Zeitschlitz TS, der die Kanäle 3, 4, 5 und 6 umfaßt, hat der zweite Zeitschlitz TS die Zeitschlitznummer TS entsprechend der Nummer des ersten Bits des zweiten Zeitschlitzes TS. Der dritte und vierte Zeitschlitz wird mit TS7 und TS8 bezeichnet.

In Figur 3 ist der Aufbau eines High-Level-Data-Link Controllers HDLC wiedergegeben. Dieser HDLC-Controller weist im Wesentlichen eine HDLC-Empfängereinheit HDLC-E, eine HDLC-Sendereinheit HDLC-S, einen HDLC-Prozessor HDLC-P sowie einen Framebuffer FB auf. Die HDLC-Empfängereinheit HDLC-E sowie die HDLC-Sendereinheit HDLC-S sind jeweils mit Leitungen des synchron arbeitenden Datennetzes SD verbunden. Der Framebuffer FB ist mit einem Asynchron-Controller AC des asynchron betriebenen Datennetzes AD verbunden.

Der dargestellte HDLC-Controller wird im Wesentlichen in drei Verarbeitungseinheiten untergliedert. Jede der Verarbeitungseinheiten ist unter anderem so aufgebaut, daß sie die Geschwindigkeitsanforderungen der nächsten Stufe reduziert.

In der ersten Verarbeitungseinheit WSPE, WPSS werden Daten seriell-parallel oder parallel-seriell umgesetzt, die Abar-

5 beitung des aktuellen Zeitschlitzes auf der Grundlage von Zustandsparametern durchgeführt und die Zustandsparameter für einen dem aktuellen Zeitschlitz nachfolgenden Zeitschlitz geladen. Die Zustandsparameter sind beispielsweise die Zeitschlitzlänge, Zustand, Bitzähler, Schieberegisterinhalt u.s.w.. Am Ende eines aktuellen Zeitschlitzes werden die Zustandsparameter des aktuellen Zeitschlitzes in einer ersten Speichereinheit zwischengespeichert und die bis dahin zwischengespeicherte Zustandsparameter des kommenden Zeitschlitzes dem HDLC-Prozessor HDLC-P zugeleitet. Während der Abarbeitung eines Zeitschlitzes werden an einem Datenport die kompletten Datenworte ausgegeben oder eingelesen.

15 Der HDLC-Prozessor HDLC-P kann empfangs- und sendeseitig in zwei Hälften aufgeteilt werden. Jede Hälfte umfaßt dabei eine zweite Verarbeitungseinheit BV, BVS und eine dritte Verarbeitungseinheit FV, FVS.

20 In der zweiten Verarbeitungseinheit BV, BVS eine Byteverarbeitungseinheit, werden zu Zeitschlitzten dazugehörige Zustandsparameter in einer zweiten Speichereinheit ST, STS verwaltet und die Datenworte aus oder in einem Teil der ersten Speichereinheit SE, SS dem Data-Hold DH, DHS Register ausgelesen oder nachgeladen (siehe Fig. 6, 7). Desweiteren erfolgt
25 eine Zuweisung der Zustandsparameter in die erste Speichereinheit SE, SS. Die Daten werden über getrennte Datenwege an eine dritte Verarbeitungseinheit FV, FVS weitergeleitet oder von dieser empfangen.

30 In der dritten Verarbeitungseinheit FV, FVS einer Frameverarbeitungseinheit (siehe Fig. 6, 7) werden die zu einem Datenrahmen gehörende Datenworte zusammengefügt. In der dritten Verarbeitungseinheit FV, FVS wird zusätzlich noch eine Adreßerkennung, Blocksicherung und weitere Protokollfunktionen
35 durchgeführt.

In Figur 4 ist ein Blockschaltbild der HDLC-Empfängereinheit HDLC-E dargestellt. Die wesentlichen Einheiten sind ein seriell-parallel Wandler S/P, ein HDLC-Prozessor HDLC-P sowie die entweder der ersten Verarbeitungseinheit WSPE oder dem HDLC-Prozessor HDLC-P zuzuordnenden Data-Hold Register DH sowie ein State-Parameter Register SP. Die auf einem seriellen Datenbus DB des synchronen Datennetzes SD transportierten Daten werden seriell in einem seriell-parallel Wandler S/P, das auch als Shift-Register bezeichnet werden kann, eingelesen.

Bei Erreichen der voreinstellbaren Zeitschlitzbreite werden die Daten der Empfängereinheit HDLC-E und der Inhalt des seriell-parallel Wandlers S/P in das für die State-Parameter vorgesehenen Register SP umgeladen (siehe Fig. 6). Wenn die Daten innerhalb der Zeitschlitzze komplett sind, werden diese in das Data-Hold Register DH übergeben. Gleichzeitig werden die Daten eines nachfolgenden Zeitschlitzes in das Register SP eingeladen und die Empfangseinheit HDLC-E mit den zwischengespeicherten Daten für den nachfolgenden Zeitschlitz des vorangegangenen PCM-Rahmens voreingestellt.

In Figur 5 ist ein Blockschaltbild der HDLC-Sendeeinheit HDLC-S dargestellt. Mit dieser werden die zu versendenden Daten über den parallel-seriell Wandler P/S in einen Datenbus DB eingefügt. Immer nachdem ein Datenwort auf dem Datenbus DB ausgegeben wurde, wird aus dem Data-Hold-Register DHS ein neues Datenwort in den parallel-seriell Wandlers P/S geladen. Zu Beginn eines neuen Zeitschlitzes werden alle Daten und Zustände des HDLC-Prozessors HDLC-P, die in dem Data-Hold Register DHS und im State-Parameter-Register SPS zwischengespeichert waren, durch den HDLC-Prozessor HDLC-P ausgetauscht.

In Figur 6 ist die HDLC-Empfangseinheit HDLC-E detailliert dargestellt. Die wesentlichen Elemente der HDLC-Empfangseinheit HDLC-E sind dabei der seriell-parallel-Wandler S/P, das Register Data-Hold DH, ein State-Parameter-Register SP, eine Einheit zur Byteverarbeitung BV, eine Einheit zur Frameverarbeitung FV sowie ein Framebuffer FB.

Die im State-Parameter Register SP jeweils für einen Zeitschlitz zwischengespeicherten Daten werden nach dem aktuellen Zeitschlitz in einer State-Tabelle ST der Byteverarbeitungseinheit BV abgelegt. In der Byteverarbeitungseinheit BV wird
5 die State-Tabelle ST derart organisiert, daß jedes Mal bei einem Zeitschlitzwechsel die Daten eines kommenden Zeitschlitzes in das State-Parameter Register SP eingeladen werden. Die aus dem Data Hold-Register DH abgerufenen Daten werden in einer Event-Queue EQ, einem Bindeglied zwischen der
10 Byteverarbeitungseinheit BV und der Frameverarbeitungseinheit FV, eingeordnet und weiter verarbeitet.

Mit dem seriell-parallel Wandler S/P der ersten Verarbeitungseinheit (WSPE) werden die Daten aus dem Datenbus DB ausgelesen. Die Daten werden im Data-Hold Register DH abgelegt.
15 Am Ende einer über einen Zähler voreinstellbaren Länge eines Zeitschlitzes werden alle Daten und zugehörige Zustände zwischen dem seriell-parallel Wandler S/P und dem State-Parameter Register SP ausgetauscht. Im State-Parameter Register SP
20 werden die Zeitschlitzbreite, der Registerinhalt und dessen Zustand sowie weitere Parameter zwischengespeichert. In der State-Tabelle ST, sind die State-Parameter, die in das State-Parameter Register SP eingelesen wurden, zwischengespeichert. Die Größe der State-Tabelle ST entspricht der maximalen Anzahl möglicher Zeitschlitzes einer Übertragungsstrecke in dem
25 synchron arbeitenden Datennetz SD. Ein Beginn eines aktuellen Zeitschlitz nachfolgen Zeitschlitzes wird aus den Zustandsdaten des aktuellen Zeitschlitzes errechnet. Die Event-Queue EQ, die zwischen der Byteverarbeitungseinheit BV und
30 der Frameverarbeitungseinheit FV angeordnet ist, ist so organisiert, daß eine Priorisierung entsprechend der Übertragungsgeschwindigkeit eines Zeitschlitzes oder Kanals möglich ist. In dem der Frameverarbeitungseinheit FV nachgeordneten Framebuffer FB sind unter anderem die Daten aller HDLC-Kanäle
35 abgespeichert.

In Figur 7 ist die HDLC-Sendeeinheit HDLC-S wiedergegeben. Entsprechend den in der schematischen Darstellung gezeigten Pfeilrichtung werden aus dem Framebuffer FB die in Zeitschlitzzen bzw. Kanälen zu transportierenden Daten ausgelesen.

5

Werden nun Daten aus dem Framebuffer FB bzw. aus der Frameverarbeitungseinheit FVS ausgelesen, um diese innerhalb eines bestimmten Zeitschlitzes des PCM-Rahmens anzuordnen, werden den Datenwörtern die betreffenden Zeitschlitznummern TS-Nr zugeordnet und über eine Datentabelle DTS einem Data-Hold-Register DHS zugeführt um dort zwischengespeichert zu werden. Gleichzeitig mit der Zwischenspeicherung der in die Zeitschlitzze der PCM-Rahmen einzufügenden Datenwörter werden aus einer in der Byteverarbeitungseinheit BVS angeordneten State-Tabelle einer zweiten Speichereinheit STS die für den HDLC-Prozessor HDLC-P notwendigen Initialisierungsdaten STS durch eine Zuordnungseinheit ZU in der zweiten Speichereinheit STS abgespeichert. Die im Data-Hold-Register DHS zwischengespeicherten Datenwörter werden aufgrund der Initialisierung des High-Level-Data-Link-Control-Prozessors HDLC-P bestimmungsgemäß in die dafür vorgesehenen Zeitschlitzze eingefügt. Am Ende eines Zeitschlitzes wird der noch nicht verarbeitete Anteil des Datenwortes zusammen mit den augenblicklichen Zustandswerten des High-Data-Link-Control-Prozessors HDLC-P vom State-Parameter-Register SPS in die zweite Speichereinheit STS umgeladen. Während des Umladens gelangen gleichzeitig für den nachfolgenden Zeitschlitz $T_{sn}+x$ des PCM-Rahmens die Zustandsparameter in das State-Parameter-Registers SPS und die Datenwörter in das Data-Hold Register DHS. Entsprechend den Voreinstellungen des High-Level-Data-Link-Control-Prozessors HDLC-P werden die im Data-Hold-Register DHS zwischengespeicherten Daten in die Zeitschlitzze des PCM-Rahmens eingefügt. Bei einem erneuten Zeitschlitzwechsel werden die Zustandsparameter des High-Level-Data-Link-Control-Prozessors HDLC-P sowie die Daten in das Data-Hold-Register DHS, bzw. die Zustandsparameter in das State-Parameter Register SPS geladen und in der State Tabelle STS zwischengespeichert. Neue für

10

15

20

25

30

35

den kommenden Zeitschlitz benötigte Daten und Einstellungen für den High-Level-Data-Link-Control-Prozessor HDLC-P werden durch die Zuordnungseinheit ZU bestimmt.

- 5 In der Frameverarbeitungseinheit FVS werden die Daten für die Data-Tabelle DTS mit Hilfe der Event-Queue EQS weitergeleitet. In der Data-Tabelle DTS werden die Daten aller möglichen Zeitschlitzze in einem Übertragungsrahmen für das Data-Hold Register DHS zwischengespeichert. Dadurch ist es möglich,
- 10 eine Frameverarbeitung auch außerhalb des Zeitschlitzes durchzuführen. Mit Hilfe der Event-Queue EQS ist eine Datenverarbeitung entsprechend der jeweiligen Übertragungsgeschwindigkeit möglich. In der Byteverarbeitungseinheit BVS werden die Zeitschlitznummern TS-Nummer des letzten, aktuellen und folgenden Zeitschlitzes aus der Position des Zeitschlitzes und der Zeitschlitzlänge im Übertragungsrahmen errechnet. In der State-Tabelle STS sind die State-Parameter SPS aller zu bearbeitenden Zeitschlitzze gespeichert. Die
- 15 Größe der State-Tabelle STS entspricht immer der maximalen möglichen Anzahl von Zeitschlitzzen. Die State-Parameter, die in dem State-Parameter Register SPS eingetragen sind, enthalten folgende Information: Zeitschlitzbreite, Bitnummer im Datenwort sowie Schieberegisterinhalt und weitere Zustandsinformationen.

Patentansprüche

1. Schaltungsanordnung zum Empfangen von Daten, die mindestens einem Zeitschlitz (TS_1 , TS_n , TS_{n+x} , ...) innerhalb eines Übertragungsrahmens zugeordnet sind,

mit

- einer ersten Verarbeitungseinheit (WSPE) zum Auslesen der Daten aus einem aktuellen Zeitschlitz (TS_n) und Bereitstellen der aktuellen Zustandsparameter des aktuellen Zeitschlitzes (TS_n), zum Zwischenspeichern der Zustandsparameter eines dem aktuellen Zeitschlitz (TS_n) folgenden Zeitschlitzes (TS_{n+x}) und zum Zwischenspeichern der ausgelesenen Daten eines Zeitschlitzes (TS_n) in einer ersten Speichereinheit (SE),

- einer zweiten Verarbeitungseinheit (BV) mit einer Zuordnungseinheit (ZU) zur Verwaltung einer zweiten Speichereinheit (ST) in der aus der ersten Speichereinheit (SE) bei einem Zeitschlitzwechsel ausgelesenen Zustandsparameter abgespeichert werden, zur Bereitstellung der in der ersten Speichereinheit (SE) zwischenzuspeichernden Zustandsparameter, und zur Zuweisung der in der ersten Speichereinheit (SE) zwischengespeicherten Daten eines aktuellen Zeitschlitzes (TS_n) in eine dritte Speichereinheit (EQ), und

- einer dritten Verarbeitungseinheit (FV) zur Bildung von Datenwörtern aus den in der dritten Speichereinheit (EQ) abgelegten Daten.

2. Schaltungsanordnung zum Senden von Daten, die mindestens einem Zeitschlitz (TS_1 , TS_n , TS_{n+1}) innerhalb eines Übertragungsrahmens zugeordnet werden, mit

- einer ersten Verarbeitungseinheit (WPSS) die eine Einheit (P/S) zum Einlesen der Daten in einen aktuellen Zeitschlitz (TS_n) in den Übertragungsrahmen und Bereitstellen der aktu-

ellen Zustandsparameter für einen aktuellen Zeitschlitz aufweist, und einer ersten Speichereinheit (SS) zum Zwischenspeichern der Zustandsparameter eines dem aktuellen Zeitschlitz (TSn) folgenden Zeitschlitzes (TSn+x),

5

- einer zweiten Verarbeitungseinheit (BVS) mit einer Zuordnungseinheit (ZU) zur Verwaltung einer zweiten Speichereinheit (STS) in der aus der ersten Speichereinheit (SS) bei einem Zeitschlitzwechsel ausgelesenen Zustandsparameter abgespeichert werden, zur Bereitstellung der in der ersten Speichereinheit (SS) zwischenzuspeichernden Zustandsparameter, und zur Zuweisung der in einer dritten Speichereinheit (DTS) zwischengespeicherten Daten in die erste Speichereinheit (SS),

15

- einer dritten Verarbeitungseinheit (FVS) zum Zuordnen von zu Zeitschlitz (TSn, TSn+x) gehörenden Daten und deren Abspeicherung in einer dritten Speichereinheit (DTS).

20 3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die ersten Speichereinheit (SE, SS) aus einem ersten und zweiten Register (SP, DH; SPS, DHS) gebildet ist.

25 4. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß in der ersten Verarbeitungseinheit (WSPE, WPSS) ein Schieberegister (S/P, P/S) zum Empfang der Daten aus einem Übertragungsrahmen (TSn) und zum Senden der Daten in einen
30 Übertragungsrahmen vorgesehen ist.

5. Schaltungsanordnung nach Anspruch 1 und 2, dadurch gekennzeichnet, daß diese in einem HDLC-Controller (HDLC) zum Empfang und
35 Senden von Daten integriert sind.

6. Verfahren zum Empfangen von Daten, die mindestens einem Zeitschlitz (TS_1 , TS_n , TS_{n+x}) innerhalb eines Übertragungsrahmens zugeordnet sind,

d a d u r c h g e k e n n z e i c h n e t,

5

- daß Daten aus einem aktuellen Zeitschlitz (TS_n) ausgelesen und zwischengespeichert sowie aktuelle Zustandsparameter des aktuellen Zeitschlitzes bereitgestellt werden und Zustandsparameter eines dem aktuellen Zeitschlitz (TS_n) folgenden Zeitschlitzes (TS_{n+1}) in einer ersten Speichereinheit (SE) zwischengespeichert werden,

10

- daß in einer zweiten Speichereinheit (ST) in der aus der ersten Speichereinheit (SE) bei einem Zeitschlitzwechsel ausgelesene Zustandsparameter abgespeichert und verwaltet werden,

15

- daß in der ersten Speichereinheit (SE) zwischenzuspeichernde Zustandsparameter bereitgestellt werden, und in der ersten Speichereinheit (SE) zwischenzuspeichernde Daten eines aktuellen Zeitschlitzes (TS_n) in eine dritte Speichereinheit (EQ) eingelesen werden, und

20

- daß aus den in der dritten Speichereinheit (EQ) abgelegten Daten Datenwörter gebildet werden.

25

7. Verfahren zum Senden von Daten, die mindestens einem Zeitschlitz (TS_1 , TS_n , TS_{n+x}) innerhalb eines Übertragungsrahmens zugeordnet werden,

30

mit

- daß Zustandsparameter eines aktuellen Zeitschlitzes bereitgestellt und Daten in einen aktuellen Zeitschlitz (TS_n) eingelesen werden, und Zustandsparameter eines dem aktuellen Zeitschlitz (TS_n) folgenden Zeitschlitzes (TS_{n+x}) in einer ersten Speichereinheit (SS) zwischengespeichert werden,

35

- daß in einer zweiten Speichereinheit (STS) in der aus der ersten Speichereinheit (SS) bei einem Zeitschlitzwechsel ausgelesenen Zustandsparameter abgespeichert werden, die in der ersten Speichereinheit (SS) zwischenzuspeichernden Zustandsparameter bereitgestellt werden, und die in einer dritten Speichereinheit (DTS) zwischengespeicherten Daten der ersten Speichereinheit (SS) abgelegt werden,
- daß zu Zeitschlitzten (TS_n , TS_{n+x}) gehörende Daten zugeordnet und deren Abspeicherung in der dritten Speichereinheit (DTS) abgespeichert werden.

1/5

FIG 1

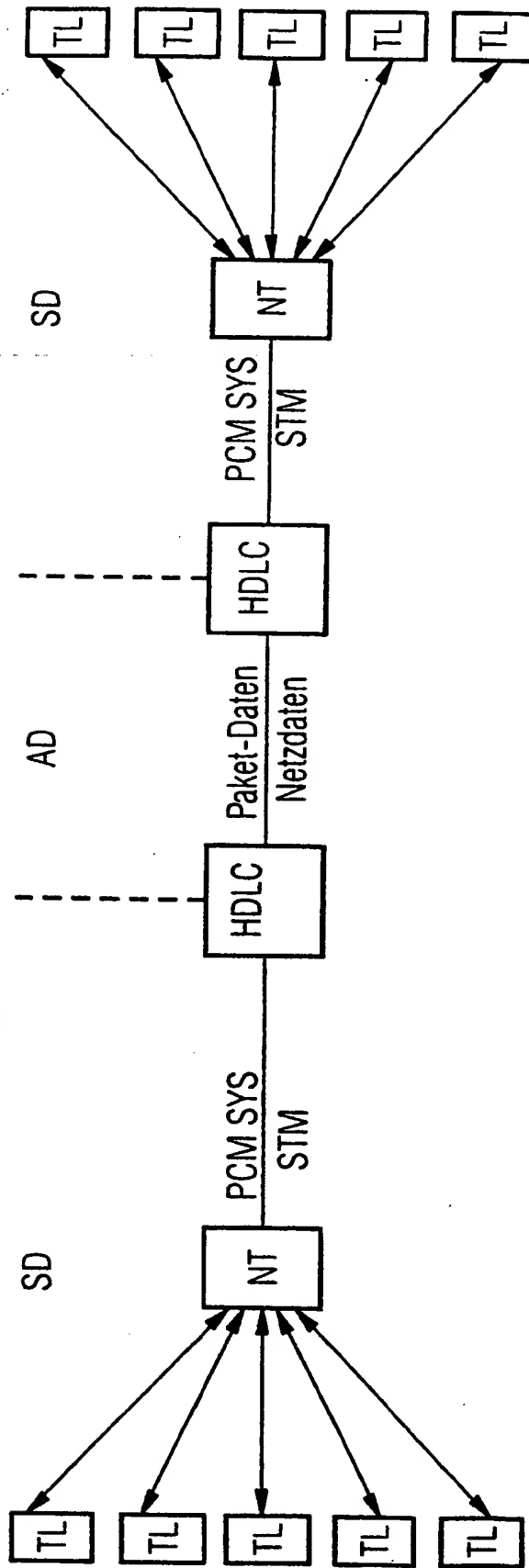
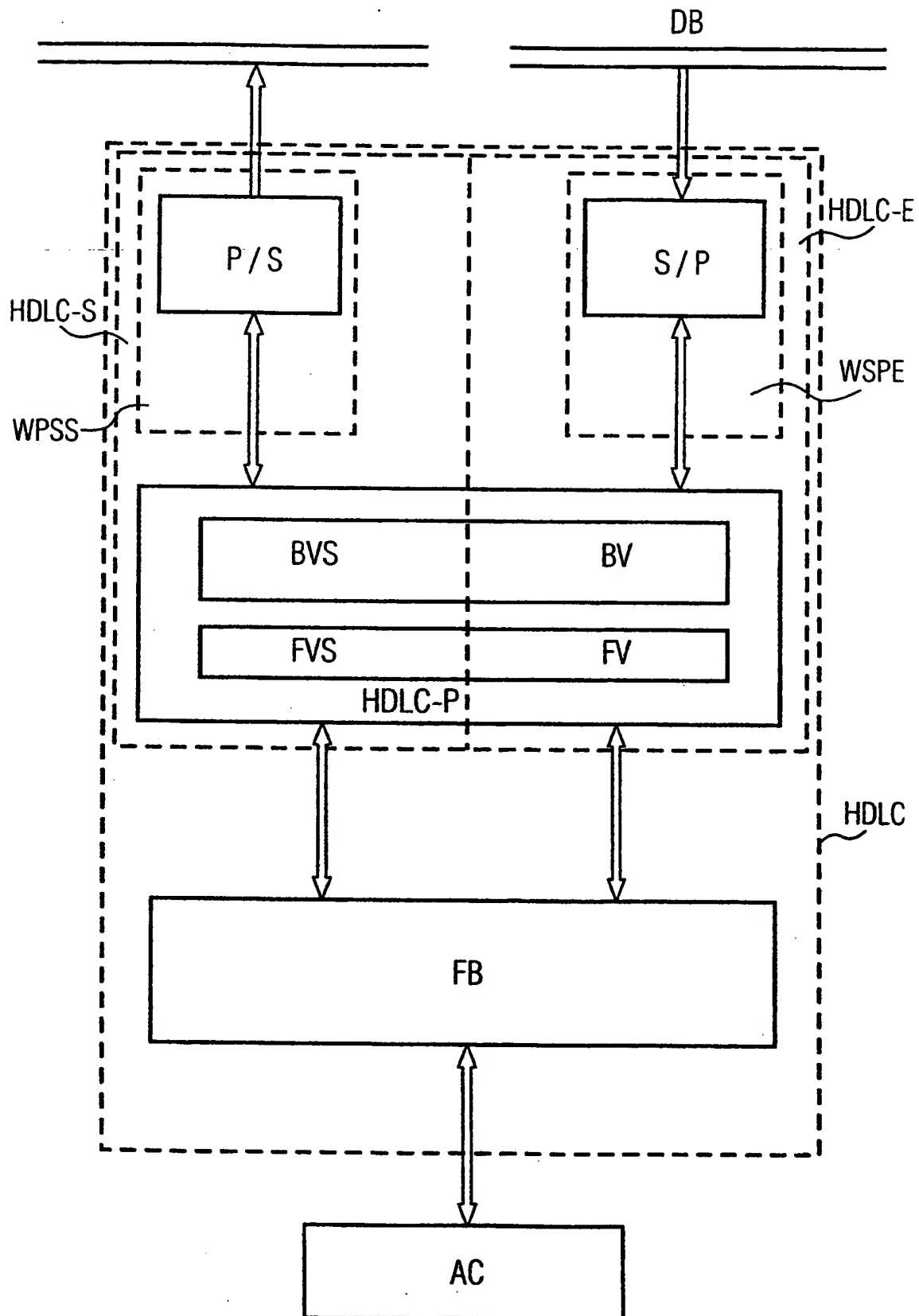


FIG 2

Bit-Nr.	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
TS-Nr.	TS=0			TS=3			TS=7			TS=8						
TSB	3			4			1			8						

2/5

FIG 3



3/5

FIG 4

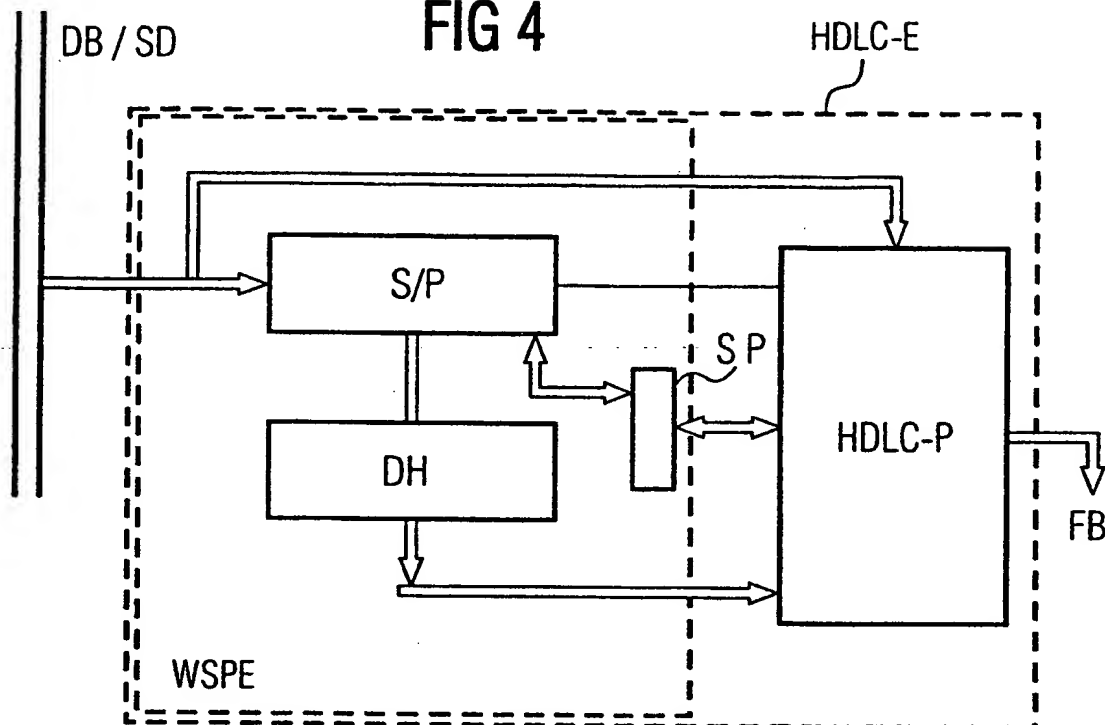


FIG 5

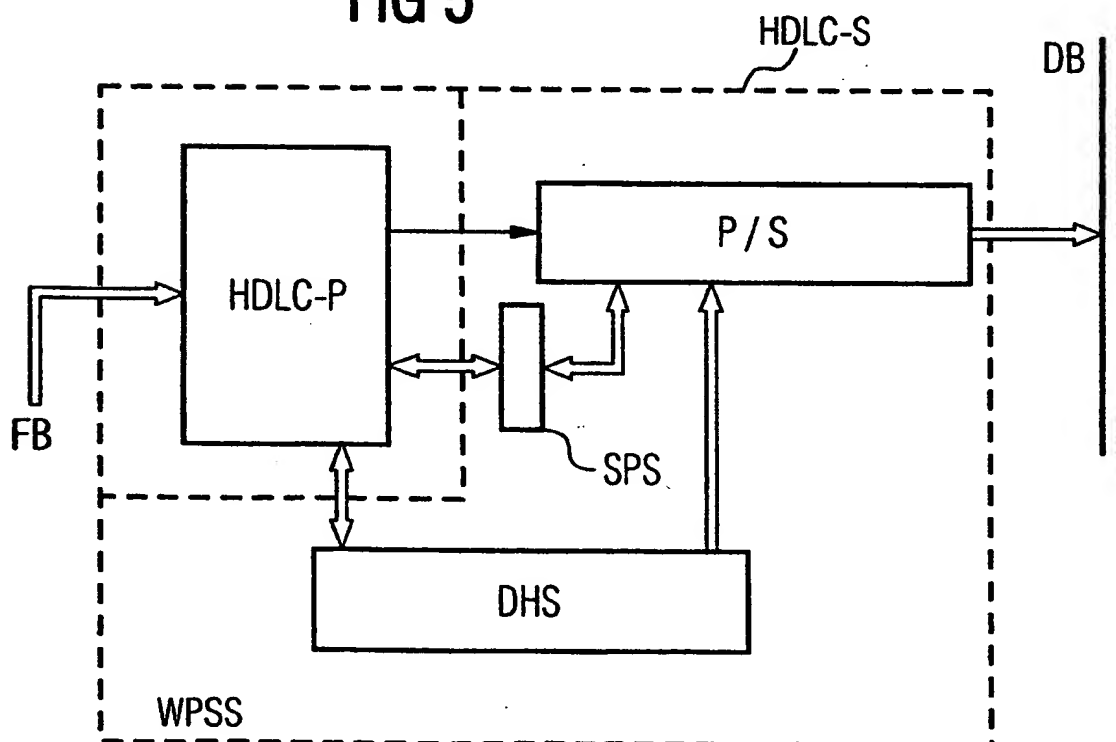
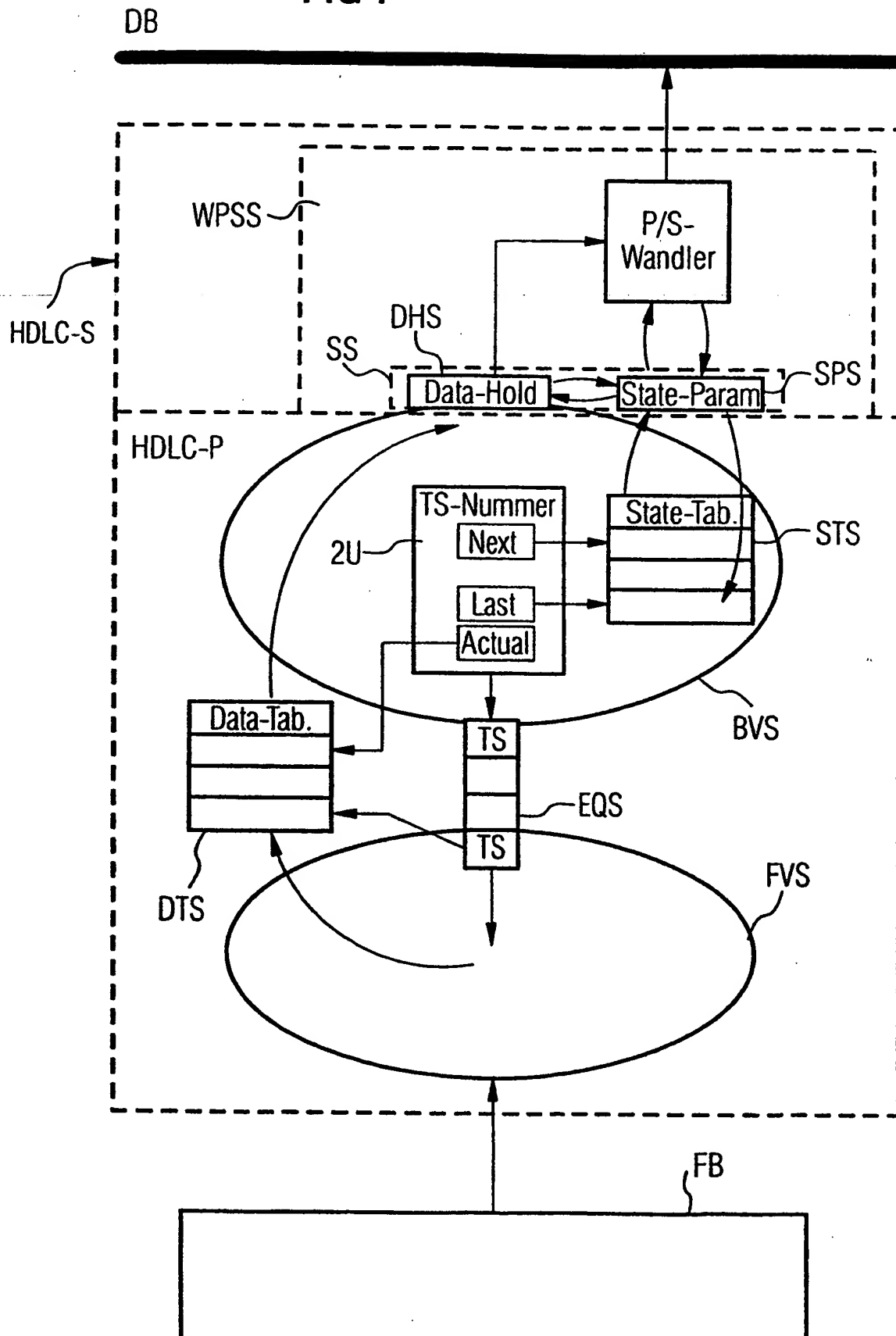


FIG 7



PCT/DE 99/02077

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H04J3/16 H04L12/56

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H04J

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 029 163 A (CHAO PHILLIP C J ET AL) 2 July 1991 (1991-07-02) column 1, line 18 - line 30 column 2, line 46 - line 51 column 2, line 65 - column 3, line 9 column 4, line 28 - line 41 column 4, line 47 - column 5, line 3; figures 1-6 ---	1-7
X	US 5 619 500 A (HIEKALI NASSER) 8 April 1997 (1997-04-08) column 1, line 55 - column 2, line 2 column 2, line 22 - line 33 column 12, line 1 - column 13, line 61 figures 5,8-10 -----	1-7

☐ Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "Z" document member of the same patent family

Date of the actual completion of the international search

18 January 2000

Date of mailing of the international search report

25/01/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Pieper, T

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5029163 A	02-07-1991	CA 1331228 A	02-08-1994
		JP 2010931 A	16-01-1990
		JP 1241935 A	26-09-1989
<hr/>			
US 5619500 A	08-04-1997	NONE	
<hr/>			

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H04J3/16 H04L12/56

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H04J

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 029 163 A (CHAO PHILLIP C J ET AL) 2. Juli 1991 (1991-07-02) Spalte 1, Zeile 18 - Zeile 30 Spalte 2, Zeile 46 - Zeile 51 Spalte 2, Zeile 65 - Spalte 3, Zeile 9 Spalte 4, Zeile 28 - Zeile 41 Spalte 4, Zeile 47 - Spalte 5, Zeile 3; Abbildungen 1-6	1-7
X	US 5 619 500 A (HIEKALI NASSER) 8. April 1997 (1997-04-08) Spalte 1, Zeile 55 - Spalte 2, Zeile 2 Spalte 2, Zeile 22 - Zeile 33 Spalte 12, Zeile 1 - Spalte 13, Zeile 61 Abbildungen 5,8-10	1-7

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

18. Januar 2000

Absenddatum des internationalen Recherchenberichts

25/01/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Pieper, T